



PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy  
of the following application as filed with this office.

Date of Application: February 9, 2000

Application Number: Japanese Patent Application  
No. 2000-031557

Applicant(s): NIPPON TELEGRAPH AND TELEPHONE  
CORPORATION

March 2, 2001

Commissioner,  
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2001-3013413

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 2月 9日

出 願 番 号

Application Number:

特願2000-031557

出 願 人

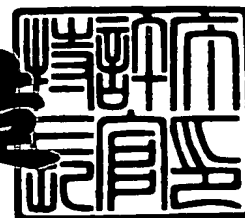
Applicant (s):

日本電信電話株式会社

2001年 3月 2日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3013413

【書類名】 特許願

【整理番号】 NTTH116544

【提出日】 平成12年 2月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明者】

    【住所又は居所】 東京都千代田区大手町二丁目 3 番 1 号 日本電信電話株式会社内

    【氏名】 青山 一生

【発明者】

    【住所又は居所】 東京都千代田区大手町二丁目 3 番 1 号 日本電信電話株式会社内

    【氏名】 澤田 宏

【発明者】

    【住所又は居所】 東京都千代田区大手町二丁目 3 番 1 号 日本電信電話株式会社内

    【氏名】 名古屋 彰

【特許出願人】

    【識別番号】 000004226

    【氏名又は名称】 日本電信電話株式会社

【代理人】

    【識別番号】 100087446

    【弁理士】

    【氏名又は名称】 川久保 新一

【手数料の表示】

    【予納台帳番号】 009634

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

特 2 0 0 0 - 0 3 1 5 5 7

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9701402

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 関数機能再構成可能な集積回路

【特許請求の範囲】

【請求項 1】  $k$  入力変数 ( $k$  は任意の正整数) の関数機能を実現する集積回路において、

$k$  個の第 1 の入力信号端子と；

$k + 1$  個の第 2 の入力信号端子と；

上記第 1 の入力信号端子において、上記第 1 の入力信号端子の状態が論理的に「1」、「0」のいずれか一方である端子数が  $m$  ( $0 \leq m \leq k$ ) であることを、入力状態数が  $m$  であると呼ぶときに、上記第 1 の入力信号端子の入力状態数と、上記  $k + 1$  個の第 2 の信号端子における  $n$  ( $1 \leq n \leq k + 1$ ) 番目の入力信号端子の状態とを 1 対 1 に対応させる対応手段と；

入力状態数が  $m$  であるときに、上記第 2 の入力信号端子における  $n$  番目の入力信号端子の状態、または、上記第 2 の入力信号端子における  $n$  番目の入力信号端子の状態の論理的反転を、上記集積回路の出力状態にする手段と；

を有し、 $k$  入力変数対称関数機能と、 $k$  個の第 1 の入力信号によって、 $k + 1$  個の第 2 の入力信号から 1 つを選択するセレクタ機能との 2 つの機能を併せ持つことを特徴とする関数機能再構成可能な集積回路。

【請求項 2】 請求項 1 において、

2 段論理の 1 段目に設けられている  $k + 1$  個のしきい素子と、上記 2 段論理の 2 段目に設けられている 1 個のしきい素子とを有し、

上記 1 段目に設けられている上記  $k + 1$  個のしきい素子のそれぞれは、 $k$  個の第 1 の入力信号のための端子と、しきい素子毎に異なる 1 つの第 2 の入力信号端子とを有し、

上記 2 段目の 1 個のしきい素子は、 $k$  個の第 1 の入力信号を入力する入力端子と、上記 1 段目の  $k + 1$  個のしきい素子の出力信号に係わる信号を入力する  $k + 1$  個の入力端子とを有し、

上記 1 段目のそれぞれのしきい素子は、互いに全て異なる閾値を有し、

上記 2 段目の 1 つのしきい素子は、上記 1 段目の  $k + 1$  個のしきい素子の出力信号に、上記第 1 の入力信号端子に掛けられる重みとは反対符号の重みを掛けた信号、上記出力信号の論理的反転の信号に正の重みを掛けた信号のいずれか一方の信号を入力することを特徴とする関数機能再構成可能な集積回路。

【請求項 3】 基板上に第 1 導電型の半導体領域を有し、

上記半導体領域内に設けられている第 1 導電型とは異なる第 2 の導電型の半導体であるソース領域とドレイン領域とを有し、

上記ソース領域とドレイン領域とを隔てる領域上に、絶縁膜を介して設けられた電氣的にフローティング状態であるフローティングゲート電極を有し、

導通と、遮断または電氣的に高インピーダンスとの 2 つの状態を取り得る素子を介して、上記フローティングゲート電極が、予め設定された電位を有する端子に接続される構造を有し、

上記フローティングゲート電極と、絶縁膜を介して容量結合する複数の入力ゲート電極とを有する半導体素子を、スイッチ付きニューロン MOS トランジスタと呼ぶときに、上記スイッチ付きニューロン MOS トランジスタを少なくとも 1 つ以上含む構造を有し、

上記スイッチ付きニューロン MOS トランジスタのフローティングゲート電極に接続されている導通と、遮断または電氣的に高インピーダンスとの 2 つの状態を取り得る素子が導通状態であるときの上記フローティングゲート電極の電位、上記素子が導通状態であるときの上記スイッチ付きニューロン MOS トランジスタの入力端子の電位、上記素子が遮断状態であるときの上記ニューロン MOS トランジスタの入力端子の電位のうちの少なくとも 1 つの電位を制御することによって、対称関数機能とセレクト機能とを併せ持つ回路を構成することを特徴とする関数機能再構成可能な集積回路。

【請求項 4】 請求項 3 において、

2 段論理であり、1 段目に  $k + 1$  個の上記半導体素子を用いたしきい素子を有し、2 段目に 1 個の上記半導体素子を用いたしきい素子を有し、

上記 1 段目の  $k + 1$  個のそれぞれのしきい素子は、 $k$  個の第 1 の入力信号端子

と、それぞれのしきい素子において異なる 1 つの第 2 の入力信号端子と、0 個以上の予め設定された電位の端子に接続された端子とを有し、

上記 2 段目の 1 個のしきい素子は、 $k$  個の第 1 の入力信号を入力する入力端子と、1 段目の  $k + 1$  個のしきい素子の出力信号に係わる信号を入力するための  $k + 1$  個の入力端子とを有し、

上記 1 段目のそれぞれのしきい素子は互いに全て異なる閾値を有し、

上記 2 段目の 1 つのしきい素子は、上記 1 段目の  $k + 1$  個のしきい素子の出力信号の論理的反転の信号に正の重みを掛けた信号を入力することを特徴とする関数機能再構成可能な集積回路。

【請求項 5】 請求項 3 または請求項 4 において、

対称関数機能とセレクト機能とのうちのいずれか一方の機能を選択する切り替え回路を有することを特徴とする関数機能再構成可能な集積回路。

【請求項 6】 請求項 3 または請求項 4 において、

対称関数機能を実現する際に、対称関数機能を構成するデータを入力している時間のみに対称関数機能を実現する第 1 のモードと、対称関数機能を構成するデータを保持することが可能である第 2 のモードと、セレクト機能を実現する際に、選択される信号に対するアドレスを入力している時間のみにセレクト機能を実現する第 3 のモードと、選択される信号に対するアドレスを保持することが可能である第 4 のモードの 4 つのモードとを切り替える制御回路を有することを特徴とする関数機能再構成可能な集積回路。

【請求項 7】 請求項 3 ～請求項 6 のいずれか 1 項において、

上記半導体素子を用いたしきい素子は、インバータ回路を構成している素子であることを特徴とする関数機能再構成可能な集積回路。

【請求項 8】 請求項 3 ～請求項 7 のいずれか 1 項において、

上記 1 段目の上記半導体素子を用いたしきい素子の出力端子と、2 段目の上記半導体素子を用いたしきい素子の入力端子とを接続する回路が、波形整形回路を含む回路であることを特徴とする関数機能再構成可能な集積回路。

【請求項 9】 請求項 3 ～請求項 7 のいずれか 1 項において、

上記 2 段目の上記半導体素子を用いたしきい素子の入力となる信号を供給する

信号経路上の回路が、遅延発生回路を有する回路であることを特徴とする関数機能再構成可能な集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、関数機能を再構成することが可能な集積回路に係わり、特に、製造後であっても、任意の対称関数機能を、集積回路中に構成することが可能であり、しかも、セクタ機能を合せ持つことが可能な集積回路に関するものである。

【0002】

【従来の技術】

FPGA (Field Programmable Gate Array) や、PLD (Programmable Logic Device) に代表される論理機能再構成可能デバイスは、その大規模化とともに、様々な場所で用いられるようになってきた。

【0003】

出現当初は、多品種でかつ少量しか必要としないような部品の実現、またはプロトタイピングの状況において用いられることが主であったが、現在ではASIC (Application Specific Integrated Circuit) の代りに、最終製品に組み込まれていることも多い。FPGAでも、所望の性能を十分に満足し、ASICよりも数カ月早くtime-to-marketに製品を出荷できるからである。

【0004】

また、論理機能再構成可能デバイスを用いて、アプリケーションに対応してハードウェア構成を適応的に変更できるリコンフィギュラブルコンピューティングシステム (Reconfigurable Computing System) の研究開発も活発になり始めている。

【0005】

この論理機能再構成可能デバイスにおいて、可変論理を実現する構造には様々なものがあり、その可変論理部として、図25に示すSRAMを用いたテーブル



参照 (LUT: Look-Up Table) 型、図 26 に示すアンチフューズを用いたマルチプレクサ型、図 27 に示す EPROM や EEPROM を使い、積和形論理を実現する PLA (Programmable Logic Array) 型等がある。

## 【0006】

その中でも、LUT 型のものが大規模で柔軟性も高く、幅広く用いられている。

## 【0007】

LUT 型の論理機能再構成可能デバイスでは、SRAM によって実現された LUT が可変論理部に用いられ、任意の  $k$  入力変数論理関数を実現する。その可変論理部を構成する SRAM セルは、図 28 に示すように、通常、6 個のトランジスタで構成されている。 $k$  入力変数の LUT は、 $2^k$  個の SRAM を必要とし、トランジスタ数は、セルだけで  $6 \times 2^k$  になる。

## 【0008】

一般に用いられている LUT 型 FPGA の入力変数  $k$  は、4 または 5 である場合が多い。入力変数  $k=4$  である LUT は、SRAM セルだけで 96 個のトランジスタが必要になり、入力変数  $k=5$  である LUT では、192 個のトランジスタが必要になる。また、アドレスデコーダ、書き込み回路、プリチャージ回路、センスアンプ等の周辺回路も必要となり、回路規模が大きい。

## 【0009】

このように、LUT 型 FPGA では、回路規模が大きいという問題があり、また、LSI 上に面積的に可変論理部の占める割合が大きいという問題がある。したがって、小面積の可変論理部の出現が望まれている。

## 【0010】

また、一方では、論理 LSI の代表的な例であるマイクロプロセッサ ( $\mu P$ ) や、デジタル信号処理プロセッサ (DSP) の演算部 (データパス部) においては、算術演算回路が頻度高く用いられている。この算術演算回路は、加算回路、減算回路、乗算回路等であり、これらの算術演算回路は、対称関数である全加算器を用いている場合が多い。

## 【0011】

ここで、上記「対称関数」とは、入力される変数を任意に置換しても、関数値が不変である論理関数をいう。たとえば、2入力ANDの2つの入力X1とX2との値を入れ換えても、出力値は同じである。対称関数の例としては、AND、OR、NAND、NOR、XOR、XNOR等がある。なお、対称関数に関しては、たとえば、「論理設計 スイッチング回路理論：笹尾勤：近代科学社、pp. 84-85」に記載されている。

## 【0012】

また、論理LSIの制御部においては、セクタ機能を用いた回路が多く使用される。

## 【0013】

このように、論理LSIにおいて、レジスタ、ラッチ等を含む順序回路を除けば、対称関数機能を有する回路と、セクタ機能を有する回路とは、非常に高い頻度で用いられている。

## 【0014】

LUT型FPGAは、任意のブール関数を表現できるが、セクタまたはマルチプレクサ機能を有してはいない。

## 【0015】

また、LUTに作り込まれる論理が常に複雑なものとは限らないので、任意のk入力変数論理関数を実現できるようにしておく機能は、必ずしも必要ではない。

## 【0016】

一方、マルチプレクサ型FPGAは、任意の論理を表現する場合、マルチプレクサを使用しているが、多段接続によって関数を表現しているので、通常、アンチヒューズ等の低抵抗素子でプログラムされ、再構成が容易ではないという問題がある。また、複雑な論理を構成するためには、多くの素子を必要とし、大面積を必要とするという問題がある。

## 【0017】

上記のように、算術演算回路等で頻繁に使用される対称関数機能と、制御部でよく使用されるセクタ機能とを同時に併せ持ち、対称関数機能を保持できる回路構成は、現在までに、まだ提案されていない。

## 【0018】

## 【発明が解決しようとする課題】

従来の論理機能再構成可能デバイスの中で、論理機能を高速に再構成することができるデバイスは、LUT型FPGAであり、その可変論理部は、SRAMを用いたLUTで構成されている。SRAMを用いたk入力変数LUTは、k入力変数によって生成可能な全てのブール関数を実現することが可能であるが、LSI上に大きい面積を必要とするという問題がある。したがって、小面積で高速に論理機能を再構成できる可変論理部の実現が望まれている。

## 【0019】

本発明は、LSI上に占める可変論理部の面積が小さく、対称関数機能とセレクタ機能とメモリ機能とを併せ持ち、しかも、高速に論理機能を再構成可能な可変論理部を提供することを目的とするものである。

## 【0020】

## 【課題を解決するための手段】

本発明は、k個の第1の信号端子の状態が、論理的に「1」または「0」のいずれか一方である端子の数を、入力状態数と呼び、第1の入力信号端子の入力状態数と、k+1個の第2の信号端子におけるn ( $1 \leq n \leq k+1$ ) 番目の入力信号端子の状態とを1対1に対応させ、集積回路の出力状態を、上記対応付けられた第2の入力信号端子の状態と一致または論理的反転に対応させることによって、k個の第1の入力信号端子のk+1個の入力状態数のうちの1つが選択されたときに、k+1個の第2の入力信号の論理的状态である「1」または「0」のいずれか一方または、その反転が集積回路の出力にする集積回路である。

## 【0021】

## 【発明の実施の形態および実施例】

## (第1の実施例)

図1は、本発明の第1の実施例である関数機能再構成可能な集積回路IC1の

構成と原理と示す図である。

【 0 0 2 2 】

関数機能再構成可能な集積回路 I C 1 は、 $k$  入力変数の対称関数機能と、 $k$  個の制御入力によって、 $k + 1$  個のデータ入力の中の 1 つを選択するセクタ機能との両者を併せ持つ。

【 0 0 2 3 】

図 1 ( 1 ) は、対称関数機能とセクタ機能とを併せ持つ関数機能再構成可能な集積回路 I C 1 を示す図である。

【 0 0 2 4 】

関数機能再構成可能な集積回路 I C 1 は、 $k$  個の第 1 の入力信号端子  $i n p u t 1 [ 1 ]$ 、 $i n p u t 1 [ 2 ]$ 、……、 $i n p u t 1 [ k ]$  と、 $k + 1$  個の第 2 の入力信号端子  $i n p u t 2 [ 1 ]$ 、 $i n p u t 2 [ 2 ]$ 、……、 $i n p u t 2 [ k ]$ 、 $i n p u t 2 [ k + 1 ]$  と、1 つの出力信号端子  $o u t p u t$  とを有する。

【 0 0 2 5 】

対称関数機能を発現させる場合は、 $k$  個の第 1 の入力信号端子  $i n p u t 1 [ 1 ] \sim i n p u t 1 [ k ]$  を、 $k$  個の入力変数端子として用い、 $k + 1$  個の第 2 の入力信号端子  $i n p u t 2 [ 1 ] \sim i n p u t 2 [ k + 1 ]$  を、対称関数機能を構成するデータを入力する構成データ入力端子として使用する。

【 0 0 2 6 】

なお、対称関数は、入力される変数を任意に置換しても、関数値が不変である論理関数である。また、対称関数機能を構成するデータは、AND、OR 等の対称関数を決定するデータである。

【 0 0 2 7 】

入力変数端子の状態が論理的に「1」である端子の数が  $m$  である場合を、「入力状態数が  $m$  である」と呼び、このときに、入力状態数は、0 から  $k$  までの  $k + 1$  個の整数値をとる。

【 0 0 2 8 】

図 1 ( 2 ) は、その横軸に、入力状態数を示し、その縦軸に、出力信号端子の

状態である出力信号状態を示す図である。

【0029】

各入力状態数における出力信号状態と、図1(1)に示す第2の入力信号端子の $k+1$ 個の端子の状態とを、1対1で対応させる。すなわち、入力状態数が「0」であるときにおける出力信号状態を、入力端子input2[1]の状態に対応させ、入力状態数が「1」であるときにおける出力信号状態を、入力端子input2[2]の状態に対応させ、入力状態数「 $k$ 」であるときにおける出力信号状態を、端子input2[ $k+1$ ]の状態に対応させる。

【0030】

このように、入力端子の任意の状態の数である入力状態数と、第2の入力信号端子とを対応させることによって、すなわち、構成データ入力端子の異なる2つの状態を対応させることによって、任意の対称関数機能を持たせることが可能になる。

【0031】

また、対称関数機能を構成するデータが、一度入力された後は、この集積回路C1の内部に設けられている記憶回路または記憶素子を用いて、構成データを保持することが可能になる。

【0032】

一方、セレクト機能を発現させる場合は、図1(1)に示す $k$ 個の第1の入力信号端子を、 $k$ 個の制御入力端子とみなし、 $k+1$ 個の第2の入力信号端子を、 $k+1$ 個のデータ入力端子とみなす。

【0033】

上記のように、所定の入力状態数が、所定の第2の入力信号端子の状態と、1対1で対応しているので、 $k+1$ 個の異なる入力状態数の中から、所定の入力状態数が選択されたときに、 $k+1$ 個の第2の入力信号端子の中から、1つの信号端子の状態が選択されることになる。このようにして、セレクト機能を持たせることが可能になる。

【0034】

複数のデータ入力の中から1つを選択する機能は、マルチプレクサ機能として

知られているが、マルチプレクサ機能は、 $k$  個の制御入力と、 $2^k$  個のデータ入力とを持つセレクタ機能であり、上記実施例における入力状態数によって選択する回路とは異なり、上記実施例のセレクタ機能は、複数の制御入力と同じデータを選択することができ、制御入力の点で、柔軟性がより高い。

## 【0035】

上記のように、上記実施例である関数機能再構成可能な集積回路 IC1 は、対称関数機能とセレクタ機能とを併せ持つことができる。

## 【0036】

## (第2の実施例)

図2は、本発明の第2の実施例である関数機能再構成可能な集積回路 IC2 を示す回路図である。

## 【0037】

第2の実施例である関数機能再構成可能な集積回路 IC2 は、しきい素子を用いた第1の実施例に示す対称関数機能とセレクタ機能とを併せ持つ回路である。

## 【0038】

関数機能再構成可能な集積回路 IC2 は、2 段論理構成のフィードフォワード回路である。その初段は、 $k + 1$  個のしきい素子 (Threshold Logic Element: TLE) TLE [1] ~ TLE [ $k + 1$ ] を有し、2 段目は、1 つのしきい素子 TLE [ $k + 2$ ] を有する。

## 【0039】

初段における各しきい素子 TLE は、 $k$  個の第1の入力信号端子 input1 [1] ~ input1 [ $k$ ] に接続される  $k$  個の入力端子と、 $k + 1$  個の第2の入力信号端子 input2 [1] ~ input2 [ $k + 1$ ] の中の互いに異なる 1 つの端子に接続される 1 個の入力端子との合計  $k + 1$  個の入力端子を有し、それぞれ 1 つの出力端子を有する。

## 【0040】

2 段目のしきい素子 TLE であるしきい素子 TLE [ $k + 2$ ] は、第1の入力信号端子に接続される  $k$  個の入力端子と、初段のしきい素子 TLE の  $k + 1$  個の出力端子と接続されている入力端子と、1 つの出力端子とを有する。

## 【0041】

また、第1の入力信号端子から入力される信号を、第1の入力信号と呼び、第2の入力信号端子から入力される信号を、第2の入力信号と呼ぶ。

## 【0042】

ここで、しきい素子TLEを次のように定義する。つまり、しきい素子TLEは、全ての入力信号に対して、入力信号の値（論理的に1または0）と重みとの積和と、閾値とを比較し、上記積和の値が上記閾値以上であれば、論理的「1」を出力し、反対に、積和の値が上記閾値よりも小さければ、「0」を出力する素子である、と定義する。そして、初段におけるしきい素子TLE [i] ( $1 \leq i \leq k+1$ ) の入力端子の重みは、全て整数 $w_i$ であり、互いに等しいものであるとし、しきい素子TLE [i] の閾値 $T_i$ は、次の式(1)で表されるものであるとする。

## 【0043】

$$W_i \cdot (i-1) < T_i < w_i \cdot i \quad \dots\dots \text{式(1)}$$

上記のように設定することによって、第1の入力信号端子の入力状態数 $m$  ( $0 \leq m \leq k$ ) に対して、しきい素子TLE [i] の入力となる全ての入力信号に対する入力信号の値と重みとの積和は、第2の入力信号端子の状態 $j=0$ であれば、 $w_i \cdot m$ であり、第2の入力信号端子の状態 $j=1$ であれば、 $w_i \cdot (m+1)$ である。

## 【0044】

入力信号が、所定の入力状態数 $m$ であるときに、初段のしきい素子TLE [i] ( $1 \leq i \leq k+1$ ) を、第1、2、3のグループに分類することができる。

## 【0045】

上記第1のグループは、閾値 $T_i$ を有するしきい素子TLE [i] が、 $i < m+1$ を満たすグループであり、上記第2のグループは、 $i = m+1$ であるグループであり、上記第3のグループは、 $i > m+1$ を満たすグループである。

## 【0046】

上記第1のグループにおいては、 $i < m+1$ であるので、 $T_i < w_i \cdot (m+1)$ となる。この第1のグループは、しきい素子TLE [1] ~ TLE [m] まで

の  $m$  個のしきい素子によって構成され、第 2 の入力信号がいかなる値であっても、全ての入力信号の積和は、閾値を越える。このために、出力信号は、常に論理的に 1 である。

【 0 0 4 7 】

上記第 3 のグループにおいては、 $i > m + 1$  であるので、 $T_i < w_i \cdot m$  となる。この第 3 のグループは、しきい素子  $TLE[m + 2] \sim TLE[k + 1]$  までの  $k - m$  個のしきい素子によって構成され、第 2 の入力信号がいかなる値であっても、全ての入力信号の積和は、閾値を越えない。このために、出力信号は常に論理的に 0 である。

【 0 0 4 8 】

一方、上記第 2 のグループにおいては、 $i = m + 1$  であるので、しきい素子  $TLE[i]$  の出力信号は、第 2 の入力信号値に依存する。すなわち、第 2 の入力信号の値  $j = 0$  である場合、全ての入力信号の値と重みとの積和と、閾値との関係は、次の式 (2) で表される。

【 0 0 4 9 】

$$T_i > w_i \cdot m \quad (j = 0) \quad \cdots \cdots \text{式 (2)}$$

このために、出力信号は論理的に 0 である。

【 0 0 5 0 】

また、第 2 の入力信号の値  $j = 1$  である場合、全ての入力信号値と重みとの積和と、閾値との関係は、次の式 (3) で表される。式 (3) 右辺の第 2 項の  $(m + 1)$  における「+1」が、第 2 の入力信号の効果である。

【 0 0 5 1 】

$$T_i < w_i \cdot (m + 1) \quad (j = 1) \quad \cdots \cdots \text{式 (3)}$$

このために、出力信号は論理的に 1 である。

【 0 0 5 2 】

上記のように、第 2 のグループである  $i = m + 1$  のしきい素子  $TLE[m + 1]$  は、第 2 の入力信号端子の 2 つの異なる状態 (第 2 の入力信号の値  $j = 0, 1$ ) に対応して、出力状態が異なることがわかる。

【 0 0 5 3 】



初段のしきい素子の動作について、以上をまとめると、入力状態数が  $m$  であるときに、初段の  $m$  個のしきい素子が論理的 1 を出力し、 $k - m$  個のしきい素子が論理的 0 を出力し、ただ 1 つのしきい素子が、第 2 の入力信号の値に応じて、論理的 1 または 0 を出力する。

## 【 0 0 5 4 】

2 段目のしきい素子 T L E [  $k + 2$  ] の入力端子は、 $k$  個の第 1 の入力信号端子と、 $k + 1$  個の初段の出力信号端子に接続されている端子とによって構成されている。

## 【 0 0 5 5 】

第 1 の入力信号端子から入力される信号には、正数の重み  $w_{(k+2)}$  を掛け、初段の出力信号端子からの信号には、負数の重み  $-w_{(k+2)}$  を掛け、しきい素子 T L E [  $k + 2$  ] において積和演算する。

## 【 0 0 5 6 】

ここで、2 段目のしきい素子 T L E [  $k + 2$  ] に着目し、入力状態数が  $m$  であると仮定する。まず、しきい素子 T L E [  $k + 2$  ] における入力を、第 1 の入力信号による直接的寄与分と、初段のしきい素子 T L E [ 1 ] ~ T L E [  $k + 1$  ] の出力信号による寄与分とに分けて考える。

## 【 0 0 5 7 】

第 1 の入力信号の値と重みとの積和は、 $w_{(k+2)} \cdot m$  である。初段の出力信号について、 $m$  個のしきい素子が、論理的 1 を出力し、 $k - m$  個のしきい素子が、論理的 0 を出力し、ただ 1 つのしきい素子が、論理的 1 または 0 を出力することがわかっているので、これらの信号に関する積和は、 $-w_{(k+2)} \cdot m + \Delta$  で表される。

## 【 0 0 5 8 】

ただし、 $\Delta$  は、初段のしきい素子 T L E [  $m + 1$  ] の出力信号の値と重みとの積和の値を意味している。これらから、2 段目のしきい素子 T L E [  $k + 2$  ] への全ての入力信号と重みとの積和は、 $\Delta$  になることがわかる。

## 【 0 0 5 9 】

積和  $\Delta$  は、 $i = m + 1$  に相当する初段しきい素子 T L E [  $m + 1$  ] の出力信号

の値と、2段目のしきい素子TLE [k+2] の重み $-w_{(k+2)}$ との積項であり、初段のしきい素子TLE [m+1] に入力される第2の入力信号の値が論理的1であれば、しきい素子TLE [m+1] は、論理的1を出力し、 $\Delta = -w_{(k+2)}$ となり、上記信号が論理的0であれば、しきい素子TLE [m+1] は、論理的0を出力し、 $\Delta = 0$ となる。

## 【0060】

このときに、2段目のしきい素子TLE [k+2] の閾値 $T_{(k+2)}$ が、 $-w_{(k+2)} < T_{(k+2)} < 0$ であれば、しきい素子TLE [k+2] は、しきい素子TLE [m+1] に入力される第2の入力信号端子の信号の異なる状態に応じて、異なる出力をすることになる。

## 【0061】

次に、上記しきい素子について、しきい素子の定義を次のように変更する。しきい素子TLEは、全ての入力信号に対して、入力信号の値（論理的に1または0）と重みとの積和と、閾値とを比較し、積和の値が閾値以上であれば、論理的「0」を出力し、反対に、閾値よりも小さければ、「1」を出力する素子である、と定義する。

## 【0062】

すなわち、しきい素子TLE [k+2] に対する具体的な表現は、しきい素子TLE [k+2] における初段のしきい素子からの出力信号への重みが、上記のような負の重みではなく、重みの絶対値が同じであるが、出力信号の論理的反転（否定）が入力される場合である。この例を以下に示す。

## 【0063】

この場合は、入力状態数がmであるときに、初段のしきい素子の中でm個が論理的0を出力し、初段のしきい素子の中でk-m個が論理的1を出力し、しきい素子TLE [m+1] が、第2の入力信号端子の信号状態に応じて、論理的1または0を出力する。2段目のしきい素子TLE [k+2] に対して、第1の入力信号に関する積和は、 $w_{(k+2)} \cdot m$ であり、初段のしきい素子の出力信号に関する積和は、 $w_{(k+2)} \cdot (k-m) + \Delta'$  であり、これらの和は、 $w_{(k+2)} \cdot k + \Delta'$  となる。 $\Delta'$  は、初段のしきい素子TLE [m+1] の出力信号に関する積和

であり、0または $w_{(k+2)}$ の値をとる。

【0064】

したがって、この場合は、しきい素子 $TLE[k+2]$ の閾値 $T_{(k+2)}$ を、 $w_{(k+2)} \cdot k < T_{(k+2)} < w_{(k+2)} \cdot (k+1)$ に設定することによって、上記の負の重みを設けた場合と同様に、2段目のしきい素子 $TLE[k+2]$ の出力状態を、初段しきい素子 $TLE[m+1]$ に入力される第2の入力信号によって、制御することができる。

【0065】

上記のように、第1の入力信号端子の信号の入力状態数に、第2の入力信号端子の状態を、1対1で対応させることによって、任意の $k$ 入力変数対称関数を生成することが可能になる。

【0066】

一方、第1の入力信号端子における信号の入力状態数を、制御入力値とみなした場合、ある第2の入力信号端子の信号状態を選択的に出力することが可能である。これは、 $k$ 個の制御入力による $k+1$ 個のデータ入力を選択する回路であることを示している。

【0067】

図3は、3つの第1の入力信号端子と4つの第2の入力信号端子とを持ち、しきい素子で構成されている関数機能再構成可能な集積回路IC2aを示す図である。

【0068】

初段は、4つのしきい素子 $TLE[1]$ 、 $TLE[2]$ 、 $TLE[3]$ 、 $TLE[4]$ で構成され、各しきい素子は、3つの第1の入力信号端子 $input1[1]$ 、 $input1[2]$ 、 $input1[3]$ からの入力を持ち、さらに、第2の入力信号端子 $input2[1]$ 、 $input2[2]$ 、 $input2[3]$ 、 $input2[4]$ からの入力を持つ。第2の入力端子から入力される第2の入力信号は、それぞれのしきい素子に対して固有の入力信号となる。すなわち、しきい素子 $TLE[1]$ 、 $TLE[2]$ 、 $TLE[3]$ 、 $TLE[4]$ にはそれぞれ、端子 $input2[1]$ 、 $input2[2]$ 、 $input2[3]$

、input 2 [4] からの第2の入力信号が入力される。また、各しきい素子における入力の重みは等しく「2」に設定されている。

## 【0069】

また、しきい素子TLE [1] ~ TLE [4] の閾値 ( $T_1$ 、 $T_2$ 、 $T_3$ 、 $T_4$ ) は、( $T_1$ 、 $T_2$ 、 $T_3$ 、 $T_4$ ) = (1, 3, 5, 7) に設定されている。2段目のしきい素子TLE [5] は、第1の入力信号端子からの入力と、初段の出力信号端子からの信号の否定の入力とを持つ。また、別の見方をすれば、初段のしきい素子が出力信号として、論理反転を出力するしきい素子であるとも考えることもできる。しかしながら、ここでは初段のしきい素子の出力状態が2段目のしきい素子へ伝わる前に否定または論理的反転される例を示している。入力の重みは、全て「2」であり、閾値は、「7」である。

## 【0070】

図4は、関数機能再構成可能な集積回路IC 2 aの動作を説明する図である。

## 【0071】

図4において、その横軸は、第1の入力信号端子の入力状態数を示し、その縦軸は、各しきい素子の出力信号の状態を示している。

## 【0072】

初段の各しきい素子は、図4中の入力状態数で表される以外の入力として、第2の入力信号端子からの入力を持つ。たとえば、TLE [1] であれば、端子input 2 [1] からの入力を持つ。TLE [1] において、入力状態数 $m=0$ である場合、端子input 2 [1] の状態が「1」であれば、閾値を越え、出力信号状態は「1」となり、input 2 [1] の状態が、「0」であれば、出力信号状態は、「0」である。

## 【0073】

$m>0$ の場合は、input 2 [1] が如何なる状態であっても、出力信号状態が「1」になる。図中、第2の入力信号端子が如何なる状態であっても、出力信号状態が確定している場合は、黒丸印で示してあり、出力信号状態が、第2の入力信号端子の状態に依存している場合は、白丸印で示してある。

## 【0074】

初段のしきい素子TLE [2]、TLE [3]、TLE [4] についてもしきい素子TLE [1] と同様に、入力状態数と閾値の関係から図4中の丸印の意味を説明できる。

【0075】

次に、2段目のしきい素子であるTLE [5] の動作について、入力状態数が2である場合を用いて具体的に説明する。

【0076】

入力状態数が2であるので、しきい素子TLE [5] への第1の入力信号中、2つの信号が論理的に1であり、他の1つが論理的0であることがわかる。初段のしきい素子TLE [1] ～TLE [4] の出力状態については、図4から、TLE [1]、TLE [2] の出力状態が、第2の入力信号に依存せずに論理的1であり、TLE [4] の出力状態が同様に論理的0である。しきい素子TLE [3] の出力状態は、第2の入力信号の値に依存し、第2の入力信号の値が論理的1であるときに、出力状態は論理的1となり、逆に、入力信号の値が論理的0であるときに、出力状態は0となる。

【0077】

これらの初段のしきい素子の出力状態は、2段目のしきい素子TLE [5] に入力される前に否定、すなわち、論理反転され重みを掛けられ、しきい素子TLE [5] に入力される。したがって、入力状態数が2である場合は、第2の入力信号の値に依存せず、論理的1が第1の入力信号から2つ、初段のしきい素子の出力状態の否定から1つ、合計3つ入力される。

【0078】

また、初段のしきい素子TLE [3] の第2の入力信号の値が論理的1または0であるときは、しきい素子TLE [5] に入力される論理的1の数は、それぞれ、3つまたは4つになる。しきい素子TLE [5] に入力される全ての入力信号の値と重みとの積和は、初段のしきい素子TLE [3] に入力される第2の入力信号の値に応じて、「6」または「8」になる。この値が、しきい素子TLE [5] の閾値「7」と比較され、出力値が決まる。図4中のTLE [5] の入力状態数2における白丸印の意味は、上記のように説明できる。

## 【 0 0 7 9 】

入力状態数が2以外の全ての数において、しきい素子TLE [5] の出力状態は、上記のように説明できる。

## 【 0 0 8 0 】

したがって、各入力状態数において、図4中の白丸印で示される初段のしきい素子の出力状態が、しきい素子TLE [5] の出力状態になることがわかる。

## 【 0 0 8 1 】

このことは、第2の入力信号端子の状態に応じて任意の対称関数を実現できること意味している。

## 【 0 0 8 2 】

図5は、対称関数の1つであるAND回路の例を示す図である。

## 【 0 0 8 3 】

図5 (1) は、入力状態数と各しきい素子の出力信号状態との関係を示し、図5 (2) は、真理値表を示している。

## 【 0 0 8 4 】

AND機能を持たせるためには、第2の入力信号端子input 2 [1]、input 2 [2]、input 2 [3]、input 2 [4] の状態を「0」、「0」、「0」、「1」とする。このときに、第1の入力信号端子の状態を、 $X_1$ 、 $X_2$ 、 $X_3$ とし、TLE [5] の出力信号状態をYとすると、図5 (2) の真理値表になる。

## 【 0 0 8 5 】

上記のように、関数機能再構成可能な集積回路IC 2 aによって、AND機能を実現することができる。同様に、その他の対称関数機能も実現可能である。

## 【 0 0 8 6 】

一方、図4で示されるように、入力状態数 $m=0, 1, 2, 3$ におけるしきい素子TLE [5] の出力状態は、それぞれ、第2の入力端子input 2 [1]、input 2 [2]、input 2 [3]、input 2 [4] の状態であり、入力状態数を制御入力とみなし、第2の入力信号端子の状態をデータ入力とみなした場合、3制御入力による4データ入力セクタ回路を実現していることが

分かる。

#### 【0087】

以上、具体的に説明したように、上記実施例の集積回路は、対称関数機能とセクタ機能とを併せ持つことが可能である。

#### 【0088】

上記実施例では、2つの異なる状態に対して、上記のような対応づけを行ったが、「1」、「0」が全く反転している場合の回路構成も容易に類推できる。また、しきい素子に入力される入力信号に対する重みについて、上記では重みを等しくすると仮定した例があるが、実際の集積回路として上記しきい素子を実装する際には、重みは何らかの物理量として実装されるために厳密な意味で等しくするのは困難であると同時にその必要もなく、動作原理上等しいとみなせる値でよい。

#### 【0089】

ところで、しきい素子を使用する上記実施例においては、各しきい素子に  $k$  個の第1の入力信号を1つずつ入力する。しかし、各しきい素子内において第1の入力信号の重みが等しいので、各しきい素子に  $k$  個の第1の入力信号を1つずつ入力することは必ずしも必要ではない。つまり、第1の入力信号の値に関して予め和をとり、その和を各しきい素子に入力し、各しきい素子内において、ある重みを掛けるようにしてもよく、このようにしても、各しきい素子に  $k$  個の第1の入力信号を1つずつ入力する場合における効果と同様の効果を得ることができる。

#### 【0090】

##### (第3の実施例)

図6は、 $k$  入力変数対称関数機能と、 $k$  個の制御入力によって  $k+1$  個のデータ入力から1つを選択するセクタ機能とを併せ持つ集積回路 IC3 を、しきい素子の1つであるニューロン MOS トランジスタ ( $\nu$ MOS) を用いて実現する場合における回路構成例を示す図である。

#### 【0091】

この場合、 $k=3$  である。

【 0 0 9 2 】

次に、図 6 を用いて、集積回路 I C 3 の回路構成および動作を説明する。

【 0 0 9 3 】

主構成要素は、 $\nu$ MOS で構成されたインバータ回路であるニューロン MOS インバータであり、2 段論理の 1 段目を構成する 4 つのプリインバータ 6 0 1, 6 0 2, 6 0 3, 6 0 4 と、2 段目となるメインインバータ 6 0 0 とを有する。

【 0 0 9 4 】

制御回路と周辺回路として、データ保持制御回路 6 0 6 と、モード切替回路 6 0 5 と、波形整形回路 6 0 9 と、遅延発生回路 6 1 4 とが設けられている。

【 0 0 9 5 】

まず、4 つのプリインバータについて、その回路構成と動作とについて説明する。

【 0 0 9 6 】

図 7 は、プリインバータ 6 0 1 を具体的に示す回路図である。

【 0 0 9 7 】

なお、プリインバータ 6 0 2, 6 0 3, 6 0 4 の具体例、動作は、図 7 に示すプリインバータ 6 0 1 の具体例、後述の動作と同様である。

【 0 0 9 8 】

プリインバータ 6 0 1 は、5 つの入力ゲートを有する。プリインバータ 6 0 1 の入力端子である端子 `terminal [11]`、`terminal [12]`、`terminal [13]` は、図 6 中の第 1 の入力信号端子である端子 `input1 [1]`、`input1 [2]`、`input1 [3]` にそれぞれ接続され、フローティングゲートとの間の容量値は、それぞれ  $C_{11}$ 、 $C_{12}$ 、 $C_{13}$  である。

【 0 0 9 9 】

図 7 に示す端子 `input2 [xa]` は、図 6 中の第 2 の入力信号端子である端子 `input2 [1]`、`input2 [2]`、`input2 [3]`、`input2 [4]` に、トランSMissionゲートを介して、接続されている端子 `input2 [1a]`、`input2 [2a]`、`input2 [3a]`、`input2 [4a]` のいずれか 1 つに接続され、第 2 の入力信号が入力される端子であり、



フローティングゲートとの間の容量値は、 $C_{2x}$ である。

【0100】

図7に示す端子 `terminal [0]` は、図6に示す電源電位またはグランド電位に接続されている端子を表しており、フローティングゲートとの間の容量値は、 $C_0$ である。

【0101】

図7に示す端子 `ctl3` は、図6における端子 `ctl3` であり、プリインバータのフローティングゲート初期化用NMOSFETの導通と遮断とを制御する信号を入力する端子である。

【0102】

例として、図7に示すフローティングゲートの電位が、電源電位  $V_{dd}$  の半分である ( $V_{dd}/2$ ) を越えたときに、インバータの出力端子の電位が反転するようにニューロンMOSインバータを設計し、 $C_{11}$ 、 $C_{12}$ 、 $C_{13}$ 、 $C_{2x}$ 、 $C_0$  の比を全て  $1/5$  にし、端子 `terminal [0]` が電源電位に接続されている回路を考える。

【0103】

図7に示す端子 `ctl3` の電位を  $V_{dd}$  にし、プリインバータ601のフローティングゲート初期化用NMOSFETを導通状態にし、フローティングゲートをグランド電位にし、その間にプリインバータ601の全ての入力信号と、所定の電位に固定する端子（たとえば、端子 `terminal [0]`）の電位とをグランド電位にする。

【0104】

この状態で、端子 `ctl3` の電位をグランド電位にし、上記NMOSFETを遮断する。このようにフローティングゲートをある電位にし、その後、フローティングの状態にする操作を、フローティングゲートの初期化と呼ぶ。上記所定の電位に固定されるべき端子は、完全フローティング状態になった後で、所定の電位に固定される。

【0105】

上記操作を行った後では、第1の入力信号の状態によって、プリインバータ6

01の出力端子の状態は、次の3つの場合に分けることができる。

【0106】

ここで、出力端子の電位が $V_{dd}/2$ よりも大の場合を、論理的に「1」とし、 $V_{dd}/2$ 以下の場合を、論理的に「0」とする。

【0107】

上記3つの場合のうちの第1の場合（プリインバータ601の出力端子の状態のうちの1つ目の場合）は、第1の入力信号の全てがグランド電位である場合（これを、以後、「入力状態数が0である場合」と呼ぶ）であり、端子input 2 [x a]の電位が $V_{dd}$ 、グランド電位のいずれであっても、プリインバータ601の出力端子の状態は、論理的に「1」である。

【0108】

上記3つの場合のうちの第2の場合（プリインバータ601の出力端子の状態のうちの2つ目の場合）は、第1の入力信号のいずれか1つが電源電位 $V_{dd}$ である場合（これを、以後、「入力状態数が1である場合」と呼ぶ）であり、フローティングゲートの電位は、端子input 2 [x a]の電位によって異なる。端子terminal [0]が既に電源に接続されているので、端子input 2 [x a]の電位がグランド電位である場合は、フローティングゲートの電位は、 $(2/5) \cdot V_{dd}$ で近似することができ、フローティングゲートの電位が $V_{dd}/2$ よりも小であるので、プリインバータの出力端子の状態は、フローティングゲートの論理的状態の反転である論理的に「1」になる。一方、端子input 2 [x a]の電位が電源電位 $V_{dd}$ である場合は、フローティングゲートの電位を、 $(3/5) \cdot V_{dd}$ で近似することができ、フローティングゲートの電位が $V_{dd}/2$ よりも大であるので、プリインバータ601の出力端子の状態は、論理的に「0」になる。このように、上記第2の場合は、端子input 2 [x a]の論理的否定値が、プリインバータ601から出力される。

【0109】

上記3つの場合のうちの第3の場合（プリインバータ601の出力端子の状態のうちの3つ目の場合）は、第1の入力信号のいずれか2つ以上が電源電位 $V_{dd}$ である場合（これを、以後、「入力状態数が2以上である場合」と呼ぶ）であり

、端子 `input 2 [x a]` の電位に依らず、フローティングゲートの電位は、 $V_{dd}/2$  よりも大であり、プリインバータの出力端子の状態は、論理的に「0」である。

#### 【0 1 1 0】

以上、プリインバータ 6 0 1 の出力端子の状態が取り得る 3 つの場合について説明した。

#### 【0 1 1 1】

なお、ニューロン MOS インバータにおける入力端子、すなわち、第 1 の入力信号端子、第 2 の入力信号端子、所定の電位に固定する端子と、フローティングゲートとの間の容量の容量比を調整することによって、任意の入力状態数において、上記の第 2 の場合を設定することが可能である。

#### 【0 1 1 2】

次に、端子 `ctl 3` によるプリインバータのフローティングゲート電位の制御によって、端子 `input 2 [x a]` の電位の論理的反転に相当する電位を保持することができる点について説明する。

#### 【0 1 1 3】

端子 `ctl 3` の電位を電源電位  $V_{dd}$  にし、プリインバータ 6 0 1 のフローティングゲート電位を、グランド電位に固定している間に、端子 `input 2 [x a]` の電位を  $V_{dd}$  にし、端子 `terminal [0]` を含む他の入力端子を、全てグランド電位にし、この入力状態を保ったまま、端子 `ctl 3` の電位を、グランド電位にし、フローティングゲートをフローティング状態にした後、所定の電位に固定する端子の電位を固定し、端子 `input 2 [x a]` の電位を  $V_{dd}$  に固定する。

#### 【0 1 1 4】

この状態において、フローティングゲートに蓄積されている電荷量は、入力端子の中で、端子 `input 2 [x a]` の電位だけが  $V_{dd}$  であるときに、フローティングゲートに蓄積された電荷量であるので、フローティング状態において、端子 `input 2 [x a]` の電位が  $V_{dd}$  であっても、フローティングゲート電位を増加させる効果はない。

## 【0115】

すなわち、フローティングゲートがグランド電位に接続されているときに、端子  $\text{input } 2 [x a]$  の電位をグランド電位にした場合と同じ状態が保持されていることになる。逆に、端子  $\text{input } 2 [x a]$  の電位をグランド電位にして、フローティングゲートを初期化した場合、フローティング状態で端子  $\text{input } 2 [x a]$  を  $V_{dd}$  に固定すると、フローティングゲートの電位を増加させることになる。つまり、端子  $\text{input } 2 [x a]$  の電位として  $V_{dd}$  の状態が保持されていることになる。

## 【0116】

このように、端子  $\text{input } 2 [x a]$  の電位として保持させたい値とは論理的に反対の値、たとえば、端子  $\text{input } 2 [x a]$  の電位として、 $V_{dd}$  を保持させたいのであれば、上記端子  $\text{input } 2 [x a]$  の電位をグランド電位にしてフローティングゲートを初期化する。逆に、グランド電位を保持させたいのであれば、上記端子  $\text{input } 2 [x a]$  の電位を、 $V_{dd}$  にして初期化し、その後、端子  $\text{input } 2 1 [x a]$  の電位を  $V_{dd}$  に固定する方法を採用すればよい。

## 【0117】

以上、端子  $\text{input } 2 [x a]$  の電位を、フローティングゲート電位と入力信号との操作によって、保持することができることを説明した。

## 【0118】

上記のように、プリインバータにおいては、所定の入力状態数であるときに、第2の入力信号端子である端子  $\text{input } 2 [x a]$  における入力信号の論理的反転をプリインバータの出力信号とすることが可能であり、また、フローティングゲート初期化後に、端子  $\text{input } 2 [x a]$  の電位を電源電位  $V_{dd}$  に固定する操作によって、フローティングゲート初期化時に、端子  $\text{input } 2 [x a]$  における信号の論理的反転を保持することが可能である。

## 【0119】

次に、図6に示す関数機能再構成可能な集積回路 IC3 の基本的対称関数機能動作とセクタ機能動作とについて、図8を用いて説明する。

## 【0120】

図8は、図6に示す関数機能再構成可能な集積回路IC3における主構成要素回路を抜粋した回路図である。

【0121】

図8において、4つのプリインバータ801、802、803、804を1段目とし、メインインバータ800を2段目とする2段論理が構成され、メインインバータ800の出力端子に出力バッファ805が接続されている。

【0122】

図8に示す回路では、プリインバータ801～804と、メインインバータ800のフローティングゲートは、ともに、全ての入力端子の電位がグランド電位の状態で初期化されているとする。

【0123】

また、図7に示すプリインバータ601で説明したように、4つのプリインバータ801、802、803、804は、それぞれ入力状態数0、1、2、3に対応して、端子input2[1]、input2[2]、input2[3]、input2[4]の論理的反転を出力するように設計されている。

【0124】

図8に示すメインインバータ800の閾値電位は、 $V_{dd}/2$ に設計され、メインインバータ800における3つの第1の入力信号端子と、4つのプリインバータ801～804の出力端子に接続されている入力端子と、メインインバータ800のフローティングゲートとの間の容量の値の比が、全て等しく1/7に設計されている。

【0125】

入力状態数が0である場合、プリインバータ801の出力端子の状態は、端子input2[1]の電位の論理的反転であり、その他のプリインバータ802～804の出力端子の状態は、第2の入力端子の電位に依存せず、論理的に「1」である。

【0126】

したがって、メインインバータ800の7つの入力端子中、3つの第1の入力端子が、論理的に「0」であり、プリインバータの出力端子の3つが、論理的に

「1」であり、1つの端子が、端子input2[1]の論理的反転であるので、フローティングゲートの電位は、端子input2[1]の論理的反転の電位を $V'_{input2[1]}$ と表現すると、 $(3/7) \cdot V_{dd} + (1/7) \cdot V'_{input2[1]}$ である。したがって、端子input2[1]の電位が $V_{dd}$ であれば、フローティングゲートの電位は、 $(3/7) \cdot V_{dd}$ になり、閾値電位よりも小さいので、メインインバータ800の出力は、論理的に「1」になり、端子input2[1]の電位が0であれば、フローティングゲートの電位は、 $(4/7) \cdot V_{dd}$ になり、閾値電位より大きいのでメインインバータ800の出力は、論理的に「0」になる。

## 【0127】

すなわち、入力状態数が0であるときは、端子input2[1]の論理的値が、メインインバータ800から出力される。

## 【0128】

入力状態数が1である場合は、上記と同様の考え方から、端子input2[2]の論理的値が、メインインバータ800から出力される。入力状態数が2である場合は、端子input2[3]の論理的値が、メインインバータ800から出力される。入力状態数が3の場合は、端子input2[4]の論理的値が、メインインバータ800から出力される。

## 【0129】

このことは、上記第2の実施例で示した図4の入力状態数と、出力信号状態との関係と同じであることを意味している。

## 【0130】

図8に示す回路は、端子input1[1]と、input1[2]と、input1[3]とを3つの制御入力端子とし、端子input2[1]～input2[4]を4つのデータ入力とするセレクタ機能を持ち、また、端子input2[1]～input2[4]をある論理的値に固定することによって、3入力対称関数機能も併せ持つ。

## 【0131】

図6に示す回路は、図8に示す回路において、フローティングゲート初期化用

の回路と、関数機能を保持するためのデータ保持制御回路 6 0 6 と、プリインバータの入力である第 2 の入力信号端子の信号をプリインバータを連続的に通過させる場合とその値を保持する場合とを切り替えるモード切り替え回路 6 0 5 と、電氣的信号と論理的状態を一致させる波形整形回路 6 0 9 と、遅延発生回路 6 1 4 とが付加された回路である。

## 【 0 1 3 2 】

まず初めに、プリインバータの第 2 の入力信号端子となる端子 `input 2 [1]` ～ `input 2 [4]` の論理的値が、プリインバータに保持される場合について、図 6 を用いて説明する。

## 【 0 1 3 3 】

この回路は、3 つの第 1 の入力信号と、4 つの第 2 の入力信号と、3 つの制御信号とを入力し、1 つの出力信号を出力する。第 1 の入力信号は、端子 `input 1 [1]` ～ `input 1 [3]` の第 1 の入力信号端子から入力し、第 2 の入力信号は、端子 `input 2 [1]` ～ `input 2 [4]` の第 2 の入力信号端子から入力される。

## 【 0 1 3 4 】

端子 `ctl 3` は、メインインバータ 6 0 0 のフローティングゲートに接続されたフローティングゲート初期化 NMOSFET 6 1 1 の導通、遮断を制御する信号の入力端子であり、端子 `ctl 3` の電位が電源電位  $V_{dd}$  であるときに、NMOSFET 6 1 1 が導通し、メインインバータ 6 0 0 のフローティングゲートがグランドに接続され、上記電位がグランド電位であるときに、NMOSFET 6 1 1 が遮断され、フローティングゲートがフローティング状態になる。

## 【 0 1 3 5 】

プリインバータ 6 0 1 ～ 6 0 4 のフローティングゲートは、端子 `ctl 3` から入力された信号が、遅延発生回路 6 1 5 で処理されることによって、メインインバータ 6 0 0 のフローティングゲートの初期化用 NMOSFET 6 1 1 を制御する信号に対して、ある遅延時間を付加された信号によって制御される。

## 【 0 1 3 6 】

端子 `ctl 2` は、第 2 の入力信号端子である端子 `input 2 [1]` ～ `inp`

ut 2 [4] と、プリインバータ 601～604 の入力信号端子である端子 input 2 [1a] ～input 2 [4a] との接続と遮断とを制御すると同時に、端子 input 2 [1a] ～input 2 [4a] の電源への遮断と接続とを制御する信号の入力端子である。

## 【0137】

端子 ct 1 2 の電位が電源電位  $V_{dd}$  であるときに、端子 input 2 [1] ～input 2 [4] は、それぞれ端子 input 2 [1a] ～input 2 [4a] に接続され、端子 input 2 [1a] ～input 2 [4a] は、電源と遮断される。逆に、端子 ct 1 2 の電位がグランド電位であるときに、端子 input 2 [1] ～input 2 [4] と、端子 input 2 [1a] ～input 2 [4a] とが遮断され、端子 input 2 [1a] ～input 2 [4a] が電源に接続される。

## 【0138】

端子 ct 1 1 は、第 2 の入力信号がプリインバータ 601～604 に保持されるモードと、第 2 の入力信号がそのまま通過するモードとの 2 つのモードを切り替える信号の入力端子であり、端子 ct 1 1 の電位が電源電位  $V_{dd}$  であるときに、モード切り替え回路 605 によって、データ保持と保持データの出力とがなされ、グランド電位であるときに、第 2 の入力信号がプリインバータ 601～604 を連続的に通過する。

## 【0139】

上記回路において、端子 ct 1 1 の電位を電源電位  $V_{dd}$  に固定し、次に、端子 ct 1 2 の電位を電源電位  $V_{dd}$  にすることによって、第 2 の入力信号をプリインバータ 601～604 に入力することができる。このときに、モード切り替え回路 605 によって、プリインバータ 601～604 の後段の信号伝搬制御回路 608 が遮断され、プリインバータ 601～604 の出力端子が、メインインバータ 600 の入力側と切り離される。ここで、端子 ct 1 3 の電位を電源電位  $V_{dd}$  にし、メインインバータ 600 のフローティングゲート初期化用 NMOSFET 611 を導通させ、フローティングゲート電位をグランド電位にする。このときに、第 1 の入力信号は全てグランド電位にされている。また、遅延発生回路 61



5の出力信号によって、メインインバータ入力ゲート初期化NMOSFET 610が導通し、メインインバータ600における第1の入力信号以外の4つの入力信号も、グランド電位に固定される。

## 【0140】

また、電位切り替えスイッチ613によって、プリインバータ601、602の入力端子中の1つの端子の電位が、グランド電位になる。第2の入力信号をグランド電位にすることによって、プリインバータ601～604の入力も全てグランド電位になる。

## 【0141】

この入力状態で、第2の入力信号として、図7を用いて説明したように、必要となる関数機能を生成する信号の論理的反転信号を入力する。

## 【0142】

この後、端子ct13の電位をグランド電位に切り替え、メインインバータ600とプリインバータ601～604とのフローティングゲートをグランドから遮断し、フローティング状態にする。フローティングゲートがフローティング状態になった後に、端子ct12の電位をグランド電位に切り替える。これによって、プリインバータの入力端子である端子input2[1a]～input2[4a]が、端子input2[1]～input2[4]とは遮断され、電源に接続される。

## 【0143】

また、電位切り替えスイッチ613によって、プリインバータ601、602の入力端子の1つの端子も電源に接続され、モード切り替え回路605によって、プリインバータ601～604が、メインインバータの入力端子と接続される。

## 【0144】

これら一連の操作によって、所定の対称関数機能の実現が可能になる。

## 【0145】

図9は、上記操作手順を示す図である。

## 【0146】

図 9 の中の初期化時間は、関数機能を構成するデータを保持させる時間であり、電位を切り替える時刻を手順に沿って、番号 1、2、3、4 で示してある。また、端子 `input 1` は、端子 `input 1 [1]` ~ `input 1 [4]` 端子の総称であり、端子 `input 2` は、`input 2 [1]` ~ `input 2 [4]` の総称である。

## 【 0 1 4 7 】

第 1 の入力信号の入力状態数に対応するプリインバータ 6 0 1 ~ 6 0 4 に保持されている論理的値を、出力バッファ 6 0 7 が出力することによって、所定の関数機能が実現される。これは、見方を変えれば、第 1 の入力信号の入力状態数をアドレスとし、プリインバータ 6 0 1 ~ 6 0 4 に保持されている論理的値を出力するメモリ機能であるとみなすことができ、また、プリインバータ 6 0 1 ~ 6 0 4 に保持されている論理的値を出力するセクタ機能であるとみなすこともできる。

## 【 0 1 4 8 】

次に、プリインバータ 6 0 1 ~ 6 0 4 の第 2 の入力端子となる端子 `input 2 [1]` ~ `input 2 [4]` の論理的値が、プリインバータ 6 0 1 ~ 6 0 4 を連続的に通過する場合について、図 6 を用いて説明する。

## 【 0 1 4 9 】

端子 `ctl 3` の電位を電源電位  $V_{dd}$  にし、メインインバータ 6 0 0 のフローティングゲートと、プリインバータ 6 0 1 ~ 6 0 4 のフローティングゲートとをグランドに接続し、メインインバータ入力ゲート初期化 NMOSFET 6 1 0 を導通させる。これと同時に、端子 `ctl 2` と端子 `ctl 1` の電位を、電源電位  $V_{dd}$  にし、端子 `input 2 [1]` ~ `input 2 [4]` を、端子 `input 2 [1 a]` ~ `input 2 [4 a]` に接続し、プリインバータ 6 0 1 ~ 6 0 4 の後段の信号伝搬制御回路 6 0 8 によって、プリインバータ 6 0 1 ~ 6 0 4 の出力端子と、メインインバータ 6 0 0 の入力になる端子とを遮断する。

## 【 0 1 5 0 】

このときに、第 1 の入力信号を全てグランド電位にすることによって、メインインバータ 6 0 0 に関する入力信号が、全てグランド電位となる。また、電位

切り替えスイッチ613によって、プリインバータ601、602のそれぞれについて、入力端子中の1つの端子はグランドに接続される。第2の入力信号端子input2[1]～input2[4]をグランド電位にすることによって、プリインバータ601～604に関する入力信号の全てが、グランド電位になる。

#### 【0151】

この状態が保たれているときに、端子ct13の電位をグランド電位にし、メインインバータ600のフローティングゲート初期化NMOSFET611と、プリインバータ601～604のフローティングゲート初期化NMOSFET612とを遮断し、メインインバータ600のフローティングゲートと、プリインバータ601～604のフローティングゲートとをフローティング状態に切り替える。

#### 【0152】

次に、端子ct11の電位をグランド電位にし、モード切り替え回路605を介して、信号伝搬制御回路608によって、プリインバータ601～604の出力端子と、メインインバータ600の入力端子に通じる端子とを接続する。

#### 【0153】

これらの一連の操作によって、3つの第1の入力信号を制御入力とし、4つの第2の入力信号をデータ入力とし、入力状態数に応じた4つの第2の入力信号の中の1つを出力するセクタ機能を実現することができる。

#### 【0154】

図10は、上記一連の操作手順を示す図である。

#### 【0155】

図10の中の初期化時間は、メインインバータ600とプリインバータ601～604とのフローティングゲートの初期化時間と、プリインバータ601～604の出力端子とメインインバータ600の入力となる端子とを接続するための時間とであり、電位を切り替える時刻を、手順に沿って番号1、2、3で示してある。

#### 【0156】

また、端子input1は、端子input1[1]～input1[4]端子の総称であり、端子input2は、端子input2[1]～input2[4]の総称である。セレクタ機能実現中の端子電位の項目における「制御入力信号電位」は、選択信号である3つの第1の入力信号端子における信号の電位の組合せを意味し、「データ入力信号電位」は、選択されるデータ信号である第2の入力信号端子の信号の電位の組合せを意味している。

## 【0157】

次に、遅延発生回路614について説明する。

## 【0158】

メインインバータ600が多入力回路（上記本実施例においては7入力回路）であるので、各入力の遅延が不揃いであると、ある入力端子の信号が状態遷移前であるときに、ある入力端子の信号が状態遷移後であるという時間（遅延時間差）が発生する可能性がある。この時間中の出力信号は、誤った信号であり、除去されることが望ましい。

## 【0159】

第1の入力信号端子である端子input1[1]～input1[3]と、メインインバータ600の入力端子との間にある遅延発生回路614は、上記説明した入力信号間における遅延時間差を、極力抑制する目的で挿入されている。

## 【0160】

次に、波形整形回路609について説明する。

## 【0161】

メインインバータ600とプリインバータ601～604とのフローティングゲートの電位は、入力端子とフローティングゲートとの間の容量の値と入力信号電位との積である電荷量に、依存する。多入力であり、複数ある入力信号電位は、必ずしも全てが電源電位またはグランド電位であるとは限らない。このために、フローティングゲートの電位は、電源電位とグランド電位との中間電位になる頻度が高く、メインインバータ600とプリインバータ601～604との出力端子の電位が、中間電位になる頻度が高い。

## 【0162】

メインインバータ600の入力信号電位が、電源電位またはグランド電位であることが望ましいので、プリインバータ601～604の出力端子の後段に、波形整形回路609を挿入し、中間電位を電源電位またはグランド電位に変換する機能を追加している。

## 【0163】

メインインバータ600の出力端子の後段に、出力バッファ607を接続することによって、上記と同様の機能を持たせている。

## 【0164】

図11は、図6に示す回路の動作を確認するために行った回路シミュレーション結果を示す図であり、3入力対称関数機能を実現していることを示す図である。

## 【0165】

図11において、縦軸は、端子`ctl1`～`ctl3`の電位、第2の入力信号端子である端子`input2[1]`～`input2[4]`の電位、第1の入力信号端子である端子`input1[1]`～`input1[3]`の電位、端子`output`の電位を表し、横軸は、時間を $\mu\text{sec}$ 単位で表している。

## 【0166】

また、図11の上段横軸には、ある時間区分中に実現されている論理名が記載されている。各論理機能を実現する初めの縦点線の時間において、フローティングゲートの初期化と、実現すべき論理機能の保持とが行われている。

## 【0167】

0～1 $\mu\text{sec}$ の間は、如何なる第1の入力信号の組合せに対しても、論理的に「1」を出力する`identity`を実現し、1～2 $\mu\text{sec}$ の間は、NANDを実現し、2～3 $\mu\text{sec}$ の間は、XNORを実現し、3～4 $\mu\text{sec}$ の間は、NORを実現し、4～5 $\mu\text{sec}$ の間は、ORを実現し、5～6 $\mu\text{sec}$ の間は、XORを実現し、6～7 $\mu\text{sec}$ の間は、ANDを実現し、7～8 $\mu\text{sec}$ の間は、如何なる第1の入力信号の組合せに対しても論理的に「0」を出力する`NULL`を実現していることが分かる。

## 【0168】

図12は、図6に示す回路の動作を確認するために行った回路シミュレーション結果を示す図であり、3つの第1の入力信号を制御入力とし、入力状態数によって、4つの第2の入力信号の中から1つを選択するセクタ機能を実現していることを示す図である。

## 【0169】

図12において、その縦軸は、端子  $ct11 \sim ct13$  の電位、第2の入力信号端子である端子  $input2[1] \sim input2[4]$  の電位、第1の入力信号端子である端子  $input1[1] \sim input1[3]$  の電位、端子  $output$  の電位を示し、その横軸は、時間を  $\mu sec$  単位で示している。

## 【0170】

また、図12の上段横軸には、ある時間区分中に選択されている信号の端子名が記載されている。

## 【0171】

各信号を選択するセクタ機能を実現する初めの縦点線の時間において、フローティングゲートの初期化が行われている。0～1  $\mu sec$  の間は、 $input2[1]$  の電位を選択し、1～2  $\mu sec$ 、2～3  $\mu sec$ 、3～4  $\mu sec$  の間は、それぞれ異なる1つの第1の入力信号端子の電位を電源電位にすることによって、入力状態数を1にし、 $input2[2]$  を選択し、4～5  $\mu sec$ 、5～6  $\mu sec$ 、6～7  $\mu sec$  の間は、それぞれ異なる組合せの2つの第1の入力信号端子の電位を電源電位にすることによって、入力状態数を2にし、 $input2[3]$  を選択し、7～8  $\mu sec$  の間は、全ての第1の入力信号端子の電位を電源電位にすることによって、入力状態数を3にし、 $input2[4]$  を選択している。このことから、図6に示す集積回路IC3がセクタ機能を実現していることが分かる。

## 【0172】

以上、詳細に説明したように、図6に示す集積回路IC3においては、集積回路製造後であっても、実現可能な論理機能である対称関数を再構成することができると同時に、セクタ機能をも併せ持つ。また、対称関数機能を実現する場合は、見方を変えることによって、メモリの書き込みと読み出しとを実現するメモ

リ回路であると見なすこともできる。

#### 【0173】

##### (第4の実施例)

図13は、3入力変数対称関数機能と、3個の制御入力によって4個のデータ入力から1つを選択するセレクタ機能とを併せ持ち、それぞれの機能を構成するデータを保持し、すなわち、対称関数機能であれば如何なる対称関数かを保持し、セレクタ機能であれば、選択される信号線を指定する値を保持することが可能な回路を実現する関数機能再構成可能な集積回路IC4を示す図である。

#### 【0174】

次に、関数機能再構成可能な集積回路IC4の回路構成とその動作とについて説明する。

#### 【0175】

図14は、スイッチ付きニューロンMOSインバータMIを示す図である。

#### 【0176】

図15は、プラインバータ1301を示す図である。

#### 【0177】

プラインバータ1302～1304の構成と動作とは、プラインバータ1301と同様である。

#### 【0178】

図16は、メインインバータ1300を示す図である。

#### 【0179】

図13に示す関数機能再構成可能な集積回路IC4は、2段論理フィードフォワード型であり、図14に示すスイッチ付きニューロンMOSインバータMIを各段で使用しており、プラインバータ1301として、図15に示す回路を使用し、メインインバータ1300として、図16に示す回路を使用している。

#### 【0180】

関数機能再構成可能な集積回路IC4の主構成要素は、2段論理の1段目を構成する4つのプラインバータ1301、1302、1303、1304と、2段目となるメインインバータ1300とであり、主な制御回路と周辺回路として、

関数機能構成データ保持制御回路 1 3 0 5 と、選択データ保持制御回路 1 3 0 6 と、モード切替回路 1 3 0 7 と、波形整形回路 1 3 0 9 と、遅延発生回路 1 3 1 4、1 3 1 5 等である。

#### 【0 1 8 1】

プリインバータ 1 3 0 1 ~ 1 3 0 4 とメインインバータ 1 3 0 0 についての動作原理と構成とは、集積回路 I C 3 におけるそれらの動作原理と構成と同様である。集積回路 I C 3 では、第 1 の入力信号が、プリインバータ 6 0 1 ~ 6 0 4 とメインインバータ 6 0 0 とに直接入力されているが、集積回路 I C 4 では、選択データ保持制御回路 1 3 0 6 を介して接続されている点が、集積回路 I C 3 とは異なる。

#### 【0 1 8 2】

このために、図 1 5 に示すプリインバータ 1 3 0 1 の回路図は、図 7 に示す回路と同じ回路であるが、入力信号端子名が変わっているので、理解を助けるために、端子名を変えてある。

#### 【0 1 8 3】

図 1 5 に示すプリインバータ 1 3 0 1 における端子 `input 1 [1 a] ~ input [3 a]` は、第 1 の入力信号端子 `input 1 [1] ~ input 1 [3]` と、それぞれ選択データ保持制御回路を介して接続され、その信号値は、端子 `input [1] 1 ~ input 1 [3]` の信号値または電源電位の値になる。

#### 【0 1 8 4】

図 1 5 に示すプリインバータ 1 3 0 1 における端子 `input 2 [x a]` は、端子 `input 2 [1 a] ~ input 2 [4 a]` の総称である。図 1 5 に示すプリインバータ 1 3 0 1 における端子 `terminal` は、プリインバータの入力信号からみた閾値を制御する信号を入力する端子であり、電源電位またはグランド電位に接続する。

#### 【0 1 8 5】

次に、集積回路 I C 3（第 3 の実施例）と異なる点である集積回路 I C 4 が有する 4 つのモードと、その制御方法とについて説明する。



## 【 0 1 8 6 】

集積回路 I C 4 が有する 4 つのモードとは、対称関数機能のうちの対称関数機能を構成するデータを保持せず継続的に入力し続けなければならない第 1 のモードと、上記データを保持するモードである第 2 のモードと、セレクタ機能において選択されるべき信号のアドレスを入力し続ける第 3 のモードと、選択されるべき信号のアドレスを保持する第 4 のモードである。

## 【 0 1 8 7 】

図 1 7 は、集積回路 I C 4 における上記第 1 のモードを実現する手順を示す図である。

## 【 0 1 8 8 】

図 1 7 において、初期化時間は、関数処理を実行する際の前処理の時間を示し、1、2、3 は、手順の時系列を表している。また、端子 `input 1` は、端子 `input 1 [1] ~ input 1 [3]` の総称であり、端子 `input 2` は、端子 `input 2 [1] ~ input 2 [4]` の総称である。

## 【 0 1 8 9 】

前処理の初めの時刻において、端子 `ctl 1 ~ ctl 4` を電源電位  $V_{dd}$  に設定し、端子 `input 1`、`input 2` を、グランド電位 0 に設定する。

## 【 0 1 9 0 】

この初期化時間における区分 1 では、関数機能構成データ保持制御回路 1 3 0 5 によって、端子 `input 2 [1] ~ input 2 [4]` が、それぞれ端子 `input 2 [1 a] ~ input 2 [4 a]` に接続され、選択データ保持制御回路 1 3 0 6 によって、端子 `input 1 [1] ~ input 1 [3]` が、それぞれ端子 `input 1 [1 a] ~ input 1 [3 a]` に接続され、信号伝搬制御回路 1 3 0 8 によって、プラインバータ 1 3 0 1 ~ 1 3 0 4 の出力端子と、メインインバータ 1 3 0 0 の入力端子とが遮断されている。また、プラインバータ 1 3 0 1 ~ 1 3 0 4 とメインインバータ 1 3 0 0 のフローティングゲートは、ともにグランドに接続され、端子 `input 1 [1] ~ input 1 [3]` と、端子 `input 2 [1] ~ input 2 [4]` の信号電位が、全てグランド電位 0 であり、メインインバータ 1 3 0 0 の入力ゲート初期化用 NMOSFET 1 3 1 0

が導通状態であるので、プリインバータ1301～1304とメインインバータ1300の入力信号は、ともに全てグランド電位になる。

#### 【0191】

初期化時間における区分2において、端子ct14をグランド電位にすることによって、メインインバータ1300のフローティングゲート初期化用NMOSFET1311と、プリインバータ1301～1304のフローティングゲート初期化用NMOSFET1312とに代表されるNMOSFETが遮断状態になる。この操作によって、プリインバータ1301～1304とメインインバータ1300とは、全ての入力信号がグランド電位の状態で初期化される。

#### 【0192】

時間区分3において、端子ct11をグランド電位0にすると、信号伝搬制御回路1308によって、プリインバータ1301～1304の出力端子とメインインバータ1300の入力端子とが接続される。また、電位切り替えスイッチ1313中のPMOSFETが導通状態になり、プリインバータ1301、1302の端子terminalは電源電位になる。

#### 【0193】

この状態で、端子input2[1]～input2[4]を、所定の関数機能を表す構成データの電位の組み合わせ $V_{conf}$ に設定し、端子input1[1]～input1[3]に、対称関数処理したい信号 $V_{sig}$ を入力することによって、対称関数機能を実現することができる。

#### 【0194】

なお、図17中の実線右向き矢印は、 $V_{dd}$ 電位が継続することを示し、点線右向き矢印は、0電位が継続することを示している。

#### 【0195】

以上の説明が、第1のモードを実現する手順である。

#### 【0196】

次に、第2のモード（対称関数機能を構成するデータを保持することができるモード）を実現する手順について、説明する。

#### 【0197】

図 1 8 は、上記第 2 のモードを実現する手順を示す図である。図 1 8 の見方は図 1 7 と同様である。

#### 【0198】

時間区分 1 において、端子  $ct11 \sim ct14$  の電位が  $V_{dd}$  であり、端子  $input1$  がグランド電位 0 であり、 $input2$  が関数機能構成データの論理的反転の電位である。上記第 2 のモードを上記第 1 のモードと比較すると、その相違点は、端子  $input2$  の電位だけである。

#### 【0199】

時間区分 2 において、端子  $ct14$  の電位をグランド電位にすることによって、メインインバータ 1300 のフローティングゲート初期化用 NMOSFET 1311 と、プラインバータ 1301 ～ 1304 のフローティングゲート初期化用 NMOSFET 1312 とに代表される NMOSFET が遮断状態になる。

#### 【0200】

この操作によって、メインインバータ 1300 は、全ての入力信号がグランド電位の状態で初期化され、プラインバータ 1301 ～ 1304 は、端子  $input2$  を除く入力信号がグランド電位の状態であり、端子  $input2$  は、関数機能構成データの論理的反転の電位の状態で初期化される。

#### 【0201】

時間区分 3 において、端子  $ct12$  をグランド電位にすると、関数機能構成データ保持制御回路 1305 によって、端子  $input2[1] \sim input2[4]$  と、端子  $input2[1a] \sim input2[4a]$  との接続がそれぞれ遮断され、端子  $input2[1a] \sim input2[4a]$  は、電源電位に接続される。

#### 【0202】

また、信号伝搬制御回路 1308 によって、プラインバータの出力端子と、メインインバータ 1300 の入力端子とが接続される。この操作によって、端子  $input2$  は、プラインバータ 1301 ～ 1304 と接続されていないので、端子  $input2$  の状態に、集積回路 IC4 の出力が影響されない。図 1 8 において、関数処理実行中の端子電位の項目における  $input2$  の項の横棒は、如何

なる値でもよいことを示している。

#### 【0203】

この状態で、端子input1である端子input1[1]～input1[3]に、対称関数処理したい信号 $V_{sig}$ を入力することによって、対称関数機能を実現することができる。端子input2に、関数機能構成データの論理的反転の電位を入力し、フローティングゲートを初期化した後に、電源電位に接続し直すことによって、所望の対称関数機能を実現することができることは、集積回路IC3（第3の実施例）で示した通りである。

#### 【0204】

図19は、集積回路IC3における第3のモードであるセクタ機能において、選択される信号に対するアドレスを保持せずに、アドレスを入力している間だけ、そのアドレスによって選択される信号を出力するモードを実現する手順を示す図である。

#### 【0205】

図19の見方は、図17の見方と同様である。

#### 【0206】

集積回路IC3における第3のモードにおいて、初期化時間中に行う操作は、第1のモードの操作と、ほとんど同じである。第3のモードの操作が第1のモードの操作と異なる点は、セクタ機能を実行するときに、端子input1[1]～input1[3]に、選択されるデータのアドレス信号の電位の組み合わせ $V_{sel}$ を入力し、端子input2[1]～input2[4]に、選択されるデータの信号電位の組み合わせを与える点である。

#### 【0207】

以上、説明した第1のモード、第2のモード、第3のモードは、集積回路IC3においても実現できる。

#### 【0208】

図20は、集積回路IC3では実現できない第4のモードであるセクタ機能において、選択されるデータに対するアドレスを保持するモードを実現する手順を示す図である。

## 【0209】

時間区分1において、端子`ctl1`～`ctl4`を電源電位にし、端子`input1`には、選択されるデータのアドレス信号に対する論理的反転の電位を入力し、端子`input2`は、グランド電位にする。

## 【0210】

「選択されるデータのアドレス信号に対する論理的反転の電位」とは、たとえば、図19の手順で初期化した集積回路IC4において、端子`input1[1]`～`input1[3]`の電位が( $V_{dd}$ ,  $V_{dd}$ , 0)であったときに、端子`input2[3]`が選択され、集積回路IC4の出力となる場合における(0, 0,  $V_{dd}$ )という電位の組み合わせのことである。

## 【0211】

時間区分2において、端子`ctl4`の電位をグランド電位にすることによって、メインインバータ1300とプラインバータ1301～1304のフローティングゲート初期化用NMOSFET1311と、NMOSFET1312で代表されるNMSOFETとが遮断される。

## 【0212】

時間区分3において、端子`ctl3`の電位をグランド電位にすると、選択データ保持制御回路1306によって、端子`input1[1]`～`input1[3]`と、端子`input1[1a]`～`input1[3a]`が遮断され、端子`input1[a]`～`input1[3a]`は、電源に接続される。

## 【0213】

時間区分4においては、時間区分3で端子`input1[1]`～`input1[3]`が、プラインバータ1301～1304とメインインバータ1300の入力端子から遮断されたので、グランドに接続されている。この操作は、必ずしも必要な操作ではなく、如何なる電位が入力されていても回路には影響しない。

## 【0214】

時間区分5において、端子`ctl1`の電位をグランド電位にすると、信号伝搬制御回路1308によって、プラインバータ1301～1304の出力端子と、メインインバータ1300の入力端子とが接続され、電位切り替えスイッチ13

13のPMOSFETが導通状態になり、プリインバータ1301、1302のそれぞれにおいて、入力端子の1つが電源に接続される。この状態で、セクタ機能を実行することができる。選択されるデータは、予めアドレスの論理的反転の電位を保持してあるデータである。

## 【0215】

図20中、端子input1に対するセクタ機能実行中の電位が横棒になっているのは、端子input1[1]～input1[3]の電位は、如何なる電位でもよいことを意味している。

## 【0216】

以上説明した手順によって、4つのモードを実行することが可能になる。

## 【0217】

図21、図22、図23、図24は、集積回路IC4の動作確認のために、回路シミュレーションを行った結果を示す図である。

## 【0218】

図21は、第1のモードであり、集積回路IC4において3入力対称関数機能が実現されていることを示している。

## 【0219】

縦軸は、端子ct11～ct14の電位、第1の入力信号端子である端子input1[1]～input1[3]の電位、第2の入力信号端子である端子input2[1]～input2[4]の電位、端子outputの電位を示し、横軸は時間を $\mu\text{sec}$ 単位で表している。

## 【0220】

また、図21の上段横軸には、所定の時間区分中に実現されている論理名が記載されている。図21中、各論理機能を実現する初めの縦点線の時間において、フローティングゲートの初期化等、実行される処理に対する前処理が行われている。

## 【0221】

端子ct11～ct14の電位は、図17に示す通りになっていることを確認することができる。

## 【0222】

0～1  $\mu$ secの間では、第2の入力信号端子input 2 [1]～input 2 [4]の電位が対称関数を構成するデータになっており、関数処理を実行中は、同じ電位を保ち、関数処理される入力データである第1の入力信号端子input 1 [1]～input 1 [3]の電位の如何なる組合せに対しても論理的に「1」を出力するidentityを実現していることが分かる。

## 【0223】

1～2  $\mu$ secの間は、NANDを実現し、2～3  $\mu$ secの間は、XNORを実現し、3～4  $\mu$ secの間は、NORを実現し、4～5  $\mu$ secの間は、ORを実現し、5～6  $\mu$ secの間は、XORを実現し、6～7  $\mu$ secの間は、ANDを実現し、7～8  $\mu$ secの間は、如何なる第1の入力信号の組合せに対しても、論理的に「0」を出力するNULLを実現していることが分かる。

## 【0224】

図22は、第2のモードであり、対称関数機能を構成するデータを入力する端子である第2の入力信号端子、すなわち端子input 2 [1]～input 2 [4]に、一時的に対称関数機能を構成するデータの論理的反転のデータを入力することによって、3入力対称関数機能が実現されていることを示している。

## 【0225】

図22の縦軸、横軸の意味は、図21の意味と同様である。図22中、各論理機能を実現する初めの縦点線の時間において、フローティングゲートの初期化等、実行される処理に対する前処理が行われている。端子ctl 1～ctl 4の電位は、図18に示した通りになっていることを確認することができる。

## 【0226】

また、端子input 2 [1]～input 2 [4]の電位について、図21に示す場合と比較すると、図21のそれぞれの対称関数機能を実行している時間に、印加されている電位の論理的反転の電位が、図22に示す場合では、各初期化時間中に印加されていることも確認できる。

## 【0227】

すなわち、2  $\mu$ sec～3  $\mu$ secの間におけるXNOR機能を実現する場合

、図21に示すように対称関数機能を構成するデータを保持しなければ、関数処理を実行中に、端子input2[1]の電位が $V_{dd}$ になり、端子input2[2]の電位が0になり、端子input2[4]の電位が $V_{dd}$ になり、端子input2[4]の電位が0になるのに対して、図22に示すように対称関数機能を構成するデータを保持すれば、初期化時間中に、端子input2[1]の電位を0に設定し、端子input2[2]の電位を $V_{dd}$ に設定し、端子input2[3]の電位を0に設定し、端子input2[4]の電位を $V_{dd}$ に設定している。

## 【0228】

0～1 $\mu$ secの間は、identityを実現し、1～2 $\mu$ secの間は、NANDを実現し、2～3 $\mu$ secの間は、XNORを実現し、3～4 $\mu$ secの間は、NORを実現し、4～5 $\mu$ secの間は、ORを実現し、5～6 $\mu$ secの間は、XORを実現し、6～7 $\mu$ secの間は、ANDを実現し、7～8 $\mu$ secの間は、如何なる第1の入力信号の組合せに対しても論理的に「0」を出力するNULLを実現しており、したがって、3入力対称関数機能が実現されていることが分かる。

## 【0229】

図23は、第3のモードであり、3つの第1の入力信号を制御入力とし、入力状態数によって、4つの第2の入力信号の中から1つを選択するセクタ機能を実現していることを示す図である。

## 【0230】

縦軸は、端子ctl1～ctl4の電位、第1の入力信号端子である端子input1[1]～input1[3]の電位、第2の入力信号端子である端子input2[1]～input2[4]の電位、端子outputの電位を示し、横軸は、時間を $\mu$ sec単位で表している。

## 【0231】

また、図23において、上段横軸には、ある時間区分中に選択されている信号の端子名が記載されている。各信号を選択するセクタ機能を実現する初めの縦点線間の時間において、フローティングゲートの初期化を含む前処理が行われて



いる。この初期化時間中とセクタ機能実行時間中とに、図19に示した電位が与えられていることを確認することができる。

#### 【0232】

0～1  $\mu$ secの間は、セクタ機能実行中に端子input 1 [1]～input 1 [3]の全ての端子の電位を、グランド電位0にすることによって、端子input 2 [1]の電位を選択しており、1～2  $\mu$ sec、2～3  $\mu$ sec、3～4  $\mu$ secの間は、端子input 1 [1]～input 1 [3]中、それぞれ異なる1つの端子の電位を、電源電位にすることによって、入力状態数を1にし、端子input 2 [2]を選択し、4～5  $\mu$ sec、5～6  $\mu$ sec、6～7  $\mu$ secの間は、端子input 1 [1]～input 1 [3]中、互いに異なる組合せの2つの端子の電位を、電源電位にすることによって、入力状態数を2にし、端子input 2 [3]を選択し、7～8  $\mu$ secの間は、第1の入力信号端子である端子input 1 [1]～input 1 [3]の全ての端子の電位を、電源電位にすることによって、入力状態数を3にし、端子input 2 [4]を選択している。

#### 【0233】

図23において、端子outputの出力電位が、上記選択した端子の電位と一致しているので、セクタ機能の実現されていることが分かる。

#### 【0234】

図24は、第4のモードであり、選択されるデータのアドレスを入力する端子である第1の入力信号端子、すなわち、端子input 1 [1]～input 1 [3]に、初期化時間中に一時的にアドレスデータの論理的反転のデータを入力することによって、4つの第2の入力信号端子端子input 2 [1]～input 2 [4]の中から1つの端子の信号を選択するセクタ機能を実現していることを表している。

#### 【0235】

図24中の縦軸、横軸は、図23におけるそれらと同様である。図24中、各信号を選択するセクタ機能を実現する初めの縦点線間の時間において、フローティングゲートの初期化を含む前処理が行われている。この初期化時間中と、セ

レクタ機能実行時間中とに、図20に示した電位が与えられていることを確認することができる。また、端子input1[1]～input1[3]の電位について、図23と比較すると、図23のセクタ機能を実行している時間に印加されている電位の論理的反転の電位が、図24においては、各初期化時間中に印加されていることも確認できる。

#### 【0236】

たとえば、 $1\mu\text{sec} \sim 2\mu\text{sec}$ の間に、端子input2[2]の信号が選択されている場合、図23に示すようにアドレスデータを保持しなければ、セクタ機能実行中に、端子input1[1]の電位が $V_{dd}$ になり、端子input1[2]の電位が0になり、端子input1[3]の電位が0になっているのに対して、図24に示すようにアドレスデータを保持するならば、初期化時間中に、端子input1[1]の電位を0に設定し、端子input1[2]の電位を $V_{dd}$ に設定し、端子input1[3]の電位を $V_{dd}$ に設定している。

#### 【0237】

$0 \sim 1\mu\text{sec}$ の間は、初期化時間中に、端子input1[1]～input1[3]の全ての端子の電位を電源電位 $V_{dd}$ にすることによって、input2[1]の電位を選択し、 $1 \sim 2\mu\text{sec}$ 、 $2 \sim 3\mu\text{sec}$ 、 $3 \sim 4\mu\text{sec}$ の間は、各初期化時間中に、端子input[1]1～input1[3]中、互いに異なる1つの端子の電位をグランド電位0にすることによって、端子input2[2]を選択し、 $4 \sim 5\mu\text{sec}$ 、 $5 \sim 6\mu\text{sec}$ 、 $6 \sim 7\mu\text{sec}$ の間は、各初期化時間中に、端子input1[1]～input1[3]中、それぞれ異なる組合せの2つの端子の電位をグランド電位0にすることによって、端子input2[3]を選択し、 $7 \sim 8\mu\text{sec}$ の間は、初期化時間中に、第1の入力信号端子である端子input1[1]～input1[3]の全ての端子の電位をグランド電位0にすることによって、端子input2[4]を選択している。

#### 【0238】

図24において、端子outputの出力電位が上記選択した端子の電位と一致しているので、セクタ機能が実現されていることが分かる。

## 【 0 2 3 9 】

上記のように、関数機能再構成可能な集積回路 I C 4 においては、集積回路製造後であっても、実現可能な論理機能である対称関数を再構成することができると同時に、セレクト機能も併せ持ち、対称関数機能を実現する場合には、その関数機能を構成するデータを保持しない第 1 のモードと保持する第 2 のモードとを自由に選択でき、また、セレクト機能を実現する場合には、アドレスデータを保持しない第 3 のモードと保持する第 4 のモードとを自由に選択でき、したがって、4 つのモードを自由に選択することができる。

## 【 0 2 4 0 】

つまり、上記実施例の関数機能再構成可能な集積回路は、論理回路において多く用いられる対称関数のみを、ブール関数中から取り出すことができると同時に、同一の回路において、対称関数機能のみならず、セレクト機能をも併せ持ち、上記 2 つの機能を、モード切り替え回路によって、必要に応じて切り替えることが可能である。

## 【 0 2 4 1 】

また、関数機能を構成するデータを、専用の記憶素子または記憶回路を用いることなく、保持することが可能であり、集積回路 I C 1 ~ I C 4 をメモリ回路として使用することもできる。すなわち、上記実施例は、対称関数機能、セレクト機能、メモリ機能の 3 通りの機能を統合しているものである。

## 【 0 2 4 2 】

上記実施例は、ブール関数の中から、論理 L S I の中で高頻度で使用されている対称関数のみを取り出す構成を採用することによって、従来の再構成可能デバイスのように全ブール関数を実現するよりも、小面積化を図り、機能の低下を補うために、セレクト機能も併せ持つような構成を使用している。

## 【 0 2 4 3 】

また、上記実施例において、フィードフォワード型 2 段論理に、しきい論理を実現するしきい素子を適用することによって、上記対称関数機能、セレクト機能を実現することができる。

## 【 0 2 4 4 】

1 段目に  $k + 1$  個のしきい素子、2 段目に 1 個のしきい素子を有する回路構成にし、1 段目のしきい素子のそれぞれには、 $k$  個の第 1 の入力信号と、それぞれのしきい素子固有の入力信号である第 2 の入力信号との 2 種類の入力信号を入力し、さらに、それぞれのしきい素子の閾値は、全て異なる値であり、 $k$  個の第 1 の入力信号によって生成される所定の入力状態数であるときに、入力される信号の信号値と、しきい素子の重みの積和演算値と、その次の入力状態数のときの積和演算値との間の値に設定する。

## 【 0 2 4 5 】

2 段目のしきい素子は、第 1 の入力信号と、1 段目のしきい素子の出力信号の論理的反転、すなわち否定の信号との 2 種類の信号を入力信号として持つ。このときに、2 段目のしきい素子の重みと閾値とを調整することによって、第 1 の入力信号の入力状態数に対応する 1 段目のしきい素子の出力値または出力値の論理的反転を出力させることが可能になる。1 段目の各しきい素子の閾値を、第 2 の入力信号によって、所望の値に制御すれば、上記機能を実現することができる。

## 【 0 2 4 6 】

基板上に第 1 導電型の半導体領域を有し、上記半導体領域内に設けられた第 1 導電型とは異なる第 2 の導電型の半導体であるソースとドレインとの領域を有し、上記ソースとドレインとの領域を隔てる領域上に、絶縁膜を介して設けられた電氣的にフローティング状態とみなせる状態を取ることが可能であるフローティングゲート電極を有し、上記フローティングゲート電極と絶縁膜とを介して、容量結合する複数のゲート電極を有する半導体素子を 1 つ以上有し、少なくとも 1 つの上記半導体素子において、上記フローティングゲート電極がスイッチを介して、予め設定された電位を有する端子に接続されている構造の素子をスイッチ付きニューロン MOS トランジスタと呼び、上記のしきい素子として、このスイッチ付きニューロン MOS トランジスタで構成されたインバータ回路を用いる。

## 【 0 2 4 7 】

スイッチ付きニューロン MOS トランジスタで構成されたインバータ回路を、ニューロン MOS インバータと呼ぶ。フィードフォワード型 2 段論理の 1 段目に、 $k + 1$  個のニューロン MOS インバータを用い、しきい素子として見た場合の

第1の入力信号に対する重みを全て等しくし、閾値をそれぞれのニューロンMOSインバータにおいて重なることなく、ある入力状態数とこの入力状態数に「1」を加えた入力状態数との間に設定し、それぞれのニューロンMOSインバータにとって固有の入力である第2の入力信号の論理的値が「1」であるときだけ、閾値を越えるように設定する。

#### 【0248】

また、2段目のニューロンMOSインバータは、 $k$ 個の第1の入力信号と $k+1$ 個の1段目のニューロンMOSインバータの出力信号とを入力とする。この入力についての重みを全て等しくし、閾値を $k$ にする。このように設定することによって、上記機能を実現することができる。さらに、ニューロンMOSインバータのフローティングゲートの電位をスイッチで操作することによって、対称関数機能を保持するというメモリ機能の性質も有することが可能になる。

#### 【0249】

上記のように、上記実施例である関数機能再構成可能な集積回路は、従来の再構成可能デバイスとは異なり、対称関数機能とセレクタ機能とを併せ持ち、ニューロンMOSインバータを用いることによって、メモリ機能をも有する高機能を小面積で実現することが可能になる。

#### 【0250】

つまり、上記実施例は、 $k$ 入力変数（ $k$ は任意の正整数）の関数機能を実現する集積回路において、 $k$ 個の第1の入力信号端子と、 $k+1$ 個の第2の入力信号端子と、上記第1の入力信号端子において、上記第1の入力信号端子の状態が論理的に「1」、「0」のいずれか一方である端子数が $m$ （ $0 \leq m \leq k$ ）であることを、入力状態数が $m$ であると呼ぶときに、上記第1の入力信号端子の入力状態数と、上記 $k+1$ 個の第2の信号端子における $n$ （ $1 \leq n \leq k+1$ ）番目の入力信号端子の状態とを1対1に対応させる対応手段と、入力状態数が $m$ であるときに、上記第2の入力信号端子における $n$ 番目の入力信号端子の状態、または、上記第2の入力信号端子における $n$ 番目の入力信号端子の状態の論理的反転を、上記集積回路の出力状態にする手段とを有し、 $k$ 入力変数対称関数機能と、 $k$ 個の第1の入力信号によって、 $k+1$ 個の第2の入力信号から1つを選択するセレク

タ機能との2つの機能を併せ持つ関数機能再構成可能な集積回路の例である。

【0251】

また、上記実施例は、2段論理の1段目に設けられている $k+1$ 個のしきい素子と、上記2段論理の2段目に設けられている1個のしきい素子と、上記1段目に設けられている上記 $k+1$ 個のしきい素子のそれぞれは、 $k$ 個の第1の入力信号端子と、しきい素子毎に異なる1つの第2の入力信号端子とを有し、上記2段目の1個のしきい素子は、第1の入力信号を入力する $k$ 個の入力端子と、上記1段目の $k+1$ 個のしきい素子の出力信号に係わる信号を入力する $k+1$ 個の入力端子とを有し、上記1段目のそれぞれのしきい素子は、互いに全て異なる閾値を有し、上記2段目の1つのしきい素子は、上記1段目の $k+1$ 個のしきい素子の出力信号に、上記第1の入力信号端子に掛けられる重みとは反対符号の重みを掛けた信号、上記出力信号の論理的反転の信号に正の重みを掛けた信号のいずれか一方の信号を入力する関数機能再構成可能な集積回路の例である。

【0252】

さらに、上記実施例は、基板上に第1導電型の半導体領域を有し、上記半導体領域内に設けられている第1導電型とは異なる第2の導電型の半導体であるソース領域とドレイン領域とを有し、上記ソース領域とドレイン領域とを隔てる領域上に、絶縁膜を介して設けられた電氣的にフローティング状態であるフローティングゲート電極を有し、導通と、遮断または電氣的に高インピーダンスとの2つの状態を取り得る素子を介して、上記フローティングゲート電極が、予め設定された電位を有する端子に接続される構造を有し、上記フローティングゲート電極と、絶縁膜を介して容量結合する複数の入力ゲート電極とを有する半導体素子を、スイッチ付きニューロンMOSトランジスタと呼ぶときに、上記スイッチ付きニューロンMOSトランジスタを少なくとも1つ以上含む構造を有し、上記スイッチ付きニューロンMOSトランジスタのフローティングゲート電極に接続されている導通と、遮断または電氣的に高インピーダンスとの2つの状態を取り得る素子が導通状態であるときの上記フローティングゲート電極の電位、上記素子が導通状態であるときの上記スイッチ付きニューロンMOSトランジスタの入力端子の電位、上記素子が遮断状態であるときの上記ニューロンMOSトランジスタ

タの入力端子の電位のうちの少なくとも1つの電位を制御することによって、対称関数機能とセレクトタ機能とを併せ持つ回路を構成する関数機能再構成可能な集積回路の例である。

## 【 0 2 5 3 】

また、上記実施例は、2段論理であり、1段目に $k + 1$ 個の上記半導体素子を有し、2段目に1個の上記半導体素子を有し、上記1段目の $k + 1$ 個のそれぞれの半導体素子は、 $k$ 個の第1の入力信号端子と、それぞれの半導体素子において異なる1つの第2の入力信号端子と、0個以上の予め設定された電位の端子に接続された端子とを有し、上記2段目の1個の半導体素子は、第1の入力信号を入力する $k$ 個の入力端子と、1段目の $k + 1$ 個の半導体素子の出力信号に係わる信号を入力するための $k + 1$ 個の入力端子とを有し、上記1段目のそれぞれの半導体素子は互いに全て異なる閾値を有し、上記2段目の1つの半導体素子は、上記1段目の $k + 1$ 個の半導体素子の出力信号の論理的反転の信号に正の重みを掛けた信号を入力する関数機能再構成可能な集積回路の例である。

## 【 0 2 5 4 】

さらに、上記実施例は、対称関数機能とセレクトタ機能とのうちのいずれか一方の機能を選択する切り替え回路を有する関数機能再構成可能な集積回路の例である。

## 【 0 2 5 5 】

また、上記実施例は、対称関数機能を実現する際に、対称関数機能を構成するデータを入力している時間のみに対称関数機能を実現する第1のモードと、対称関数機能を構成するデータを保持することが可能である第2のモードと、セレクトタ機能を実現する際に、選択される信号に対するアドレスを入力している時間のみにセレクトタ機能を実現する第3のモードと、選択される信号に対するアドレスを保持することが可能である第4のモードの4つのモードとを切り替える制御回路を有する関数機能再構成可能な集積回路の例である。

## 【 0 2 5 6 】

なお、上記実施例は、半導体領域内に設けられている第1導電型とは異なる第2の導電型の半導体であるソース領域とドレイン領域とを有し、上記ソース領域

とドレイン領域とを隔てる領域上に、絶縁膜を介して設けられた電氣的にフローティング状態であるフローティングゲート電極を有するものであるが、本願明細書において、上記「電氣的にフローティング状態」は、遮断状態だけでなく、電氣的に高インピーダンスである状態をも含む概念であると定義する。

【 0 2 5 7 】

【発明の効果】

本発明によれば、製造後であっても論理機能を再構成することが可能であり、対称関数機能とセクタ機能とを併せ持ち、専用の記憶素子または記憶回路を用いることなく、関数機能構成データを保持することが可能であり、したがって、集積回路上において高機能を小さい面積で実現することができるという効果を奏する。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例である関数機能再構成可能な集積回路 I C 1 の構成と原理と示す図である。

【図 2】

本発明の第 2 の実施例である関数機能再構成可能な集積回路 I C 2 を示す回路図である。

【図 3】

3 つの第 1 の入力信号端子と 4 つの第 2 の入力信号端子とを持ち、しきい素子で構成されている関数機能再構成可能な集積回路 I C 2 a を示す図である。

【図 4】

関数機能再構成可能な集積回路 I C 2 a の動作を説明する図である。

【図 5】

対称関数の 1 つである A N D 回路の例を示す図である。

【図 6】

k 入力変数対称関数機能と、k 個の制御入力によって k + 1 個のデータ入力か



ら 1 つを選択するセレクタ機能とを併せ持つ集積回路 IC 3 を、しきい素子の 1 つであるニューロン MOS トランジスタ ( $\nu$ MOS) を用いて実現する場合における回路構成例を示す図である。

【図 7】

プリインバータ 6 0 1 を具体的に示す回路図である。

【図 8】

図 6 に示す関数機能再構成可能な集積回路 IC 3 における主構成要素回路を抜粋した回路図である。

【図 9】

図 6 の回路において、対称関数機能を実現する際の端子電位に関する手続きを表す図である。

【図 1 0】

図 6 の回路において、セレクタ機能を実現する際の端子電位に関する手続きを表す図である。

【図 1 1】

図 6 に示す回路の動作を確認するために行った回路シミュレーション結果を示す図であり、3 入力対称関数機能を実現していることを示す図である。

【図 1 2】

図 6 に示す回路の動作を確認するために行った回路シミュレーション結果を示す図であり、3 つの第 1 の入力信号を制御入力とし、入力状態数によって、4 つの第 2 の入力信号の中から 1 つを選択するセレクタ機能を実現していることを示す図である。

【図 1 3】

3 入力変数対称関数機能と、3 個の制御入力によって 4 個のデータ入力から 1 つを選択するセレクタ機能とを併せ持ち、それぞれの機能を構成するデータを保持し、すなわち、対称関数機能であれば如何なる対称関数かを保持し、セレクタ機能であれば、選択される信号線を指定する値を保持することが可能な回路を実現する関数機能再構成可能な集積回路 IC 4 を示す図である。

【図 1 4】

スイッチ付きニューロンMOSインバータMIを示す図である。

【図15】

ブリインバータ1301を示す図である。

【図16】

メインインバータ1300を示す図である。

【図17】

集積回路IC4における上記第1のモードを実現する手順を示す図である。

【図18】

集積回路IC4において、データを保持する第2のモードを実現する手順を示す図である。

【図19】

集積回路IC3と同様のセクタ機能において、選択される信号に対するアドレスを保持せずに、アドレスを入力している間だけ、そのアドレスによって選択される信号を出力するモードを実現する手順を示す図である。

【図20】

集積回路IC3では実現できない第4のモードであるセクタ機能において、選択されるデータに対するアドレスを保持するモードを実現する手順を示す図である。

【図21】

集積回路IC4の動作確認のために、回路シミュレーションを行った結果を示す図である。

【図22】

集積回路IC4の動作確認のために、回路シミュレーションを行った結果を示す図である。

【図23】

集積回路IC4の動作確認のために、回路シミュレーションを行った結果を示す図である。

【図24】

集積回路IC4の動作確認のために、回路シミュレーションを行った結果を示す図である。

す図である。

【図 2 5】

従来のテーブル参照 (LUT) 型の可変論理部の構成を示す図である。

【図 2 6】

従来のマルチプレクサ (MUX) 型の可変論理部の構成を示す図である。

【図 2 7】

従来公知の PLA 型の可変論理部の構成図である。

【図 2 8】

従来の CMOS 型 SRAM セルの回路図である。

【符号の説明】

IC 1、IC 2、IC 3、IC 4…関数機能再構成可能な集積回路、  
600、800、1300…メインインバータ、  
601～604、801～804、1301～1304…プラインバータ、  
605、1307…モード切り替え回路、  
606…データ保持制御回路、  
607、805、1316…出力バッファ、  
608、1308…信号伝搬制御回路、  
609、1309…波形整形回路、  
610、1310…メインインバータの入力ゲート初期化用 NMOS FET、  
611、1311…メインインバータのフローティングゲート初期化用 NMOS FET、  
612、1312…プラインバータのフローティングゲート初期化用 NMOS FET、  
613、1313…電位切り替えスイッチ、  
614、615、1314、1315…遅延発生回路、  
1305…関数機能構成データ保持制御回路、  
1306…選択データ保持制御回路。

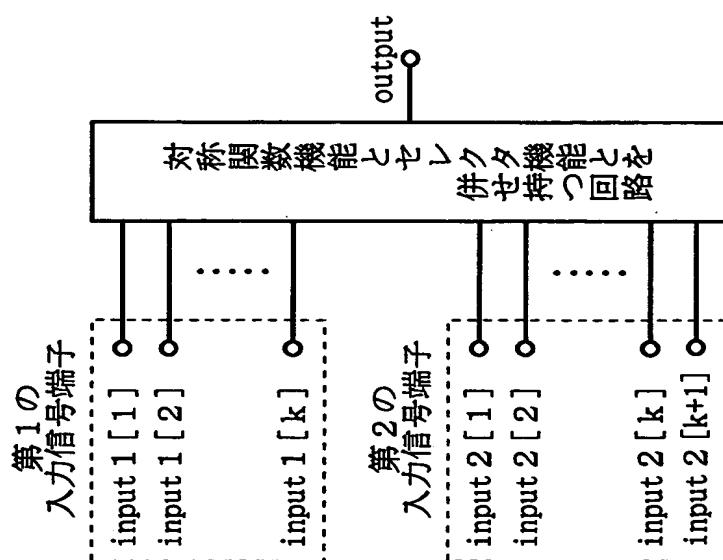
【書類名】

図面

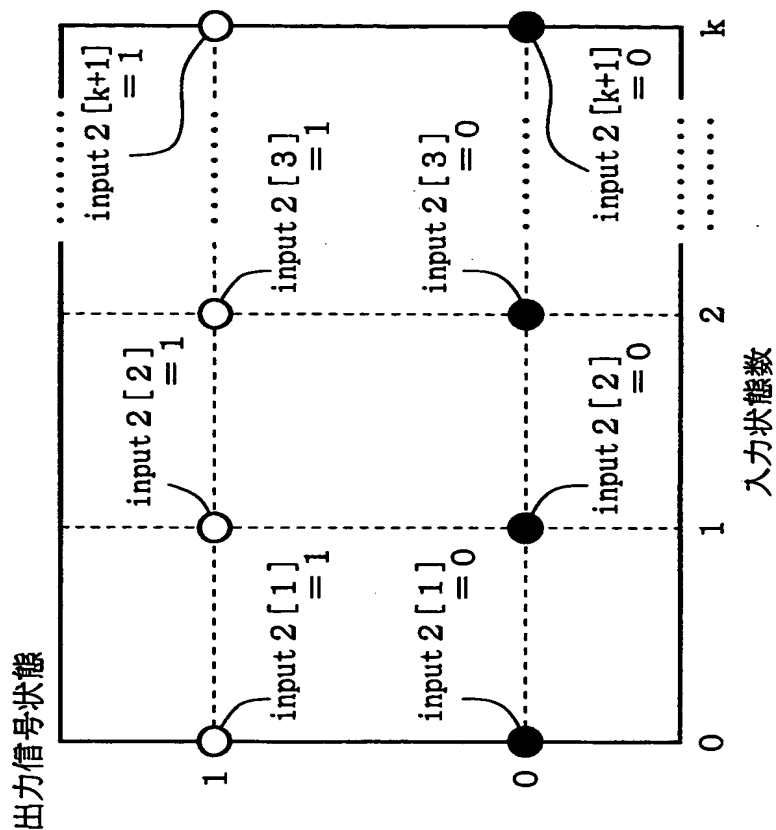
【図 1】

I C 1 : 関数機能再構成可能な集積回路

(1)

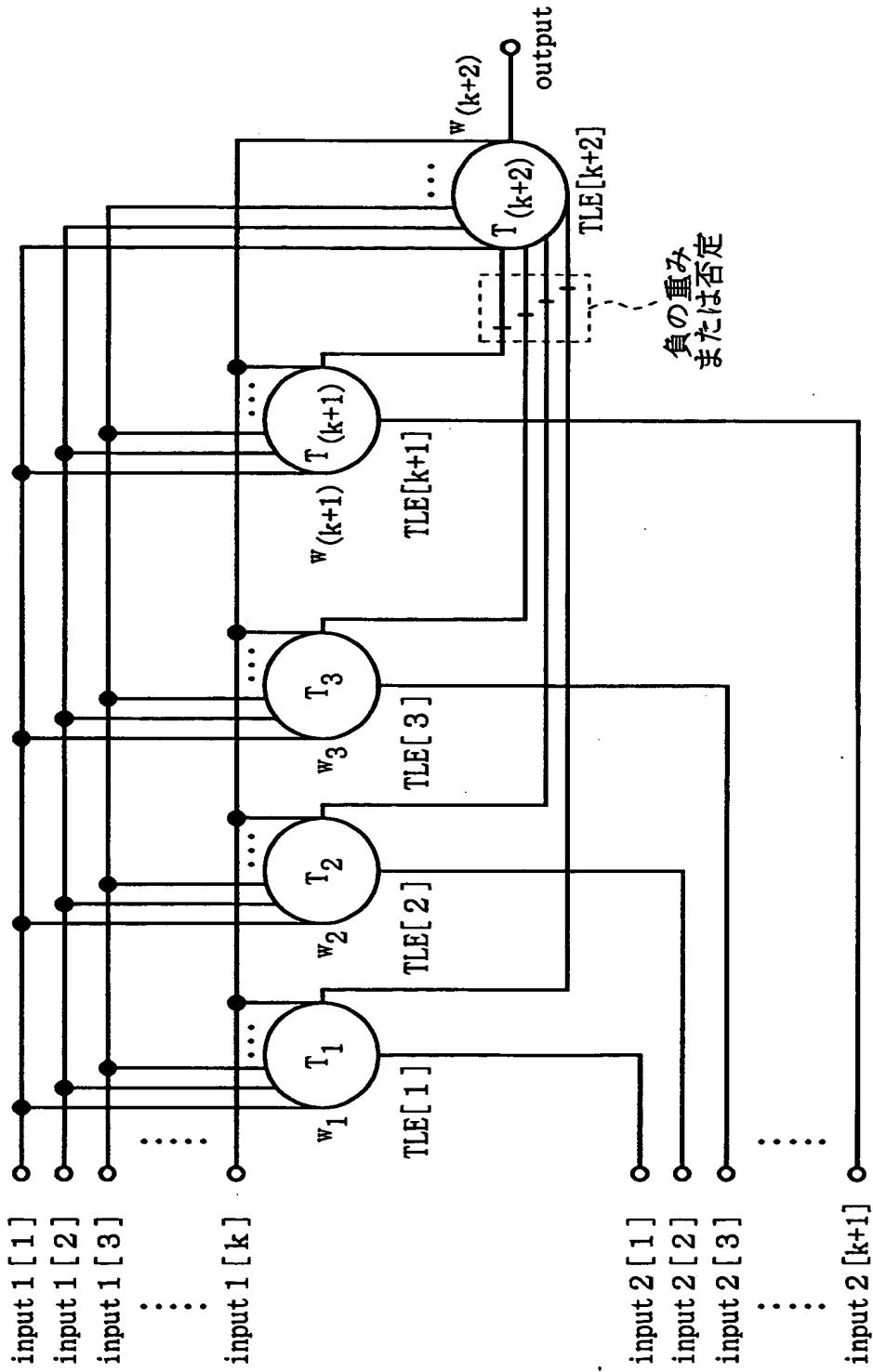


(2)



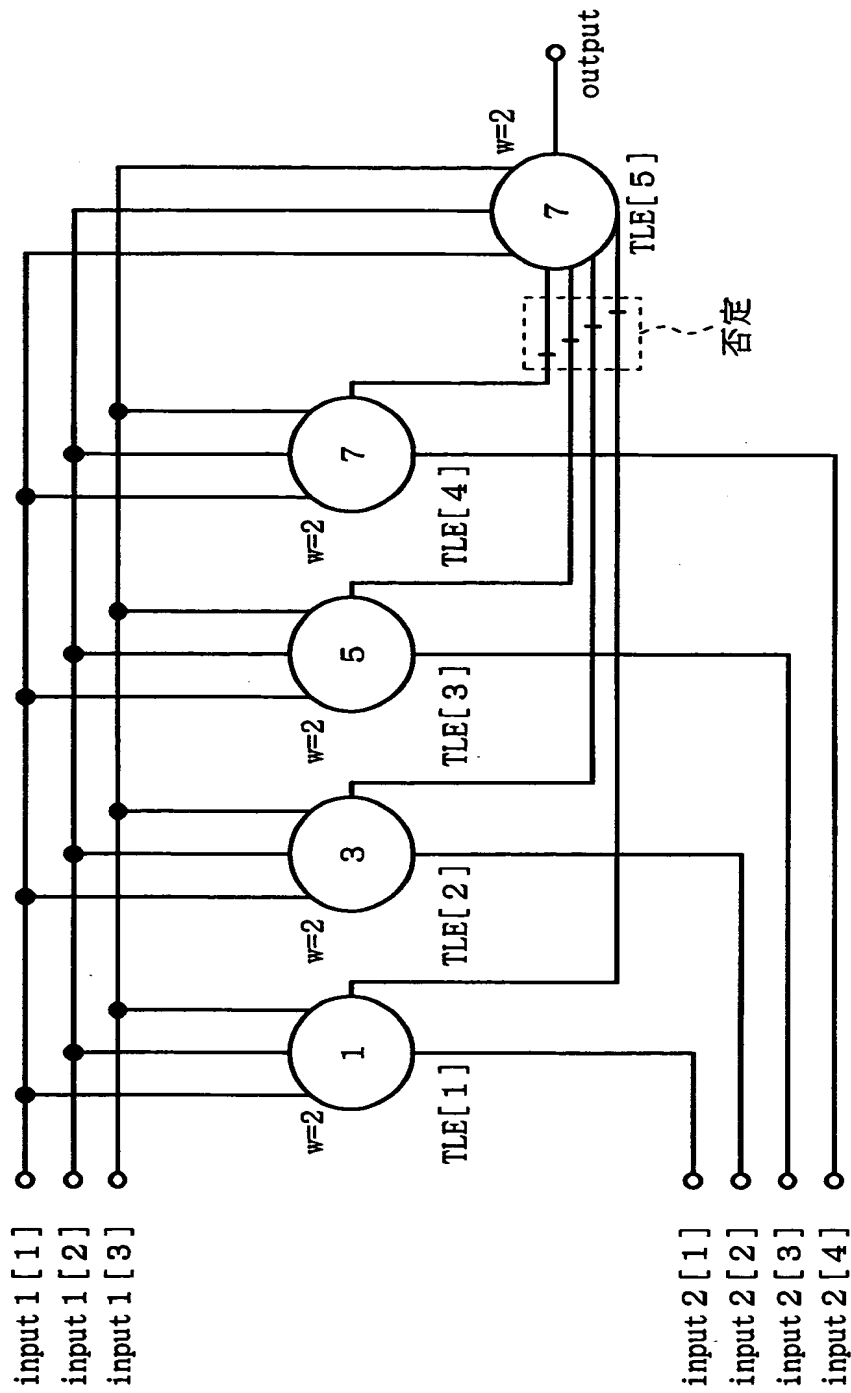
【図 2】

IC2 : 関数機能再構成可能な集積回路

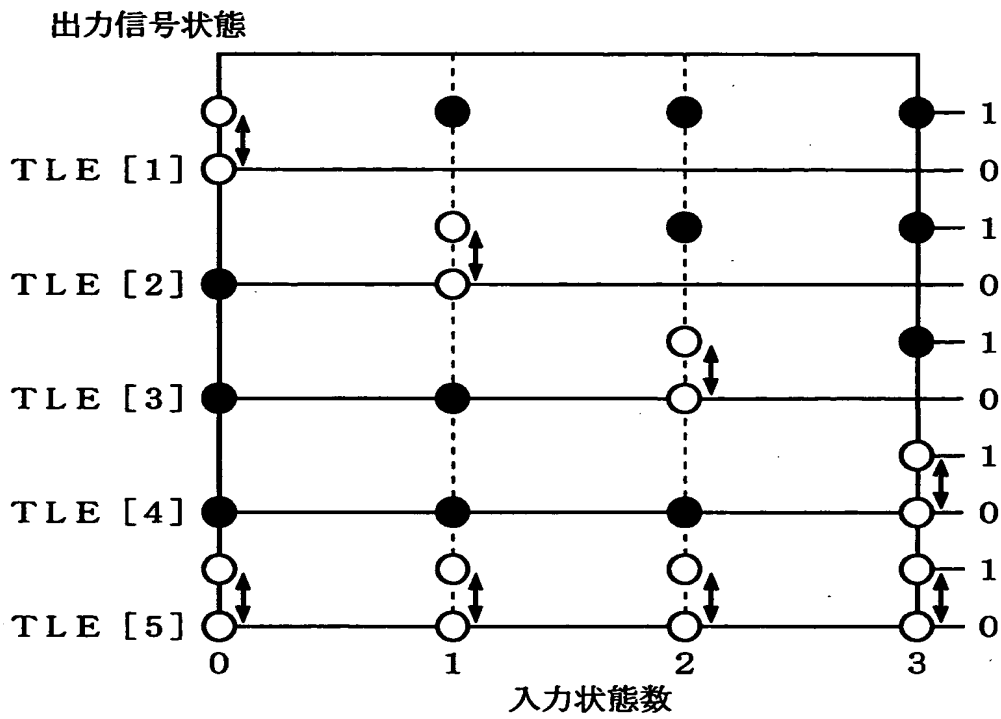


【図 3】

IC 2 a : 関数機能再構成可能な集積回路

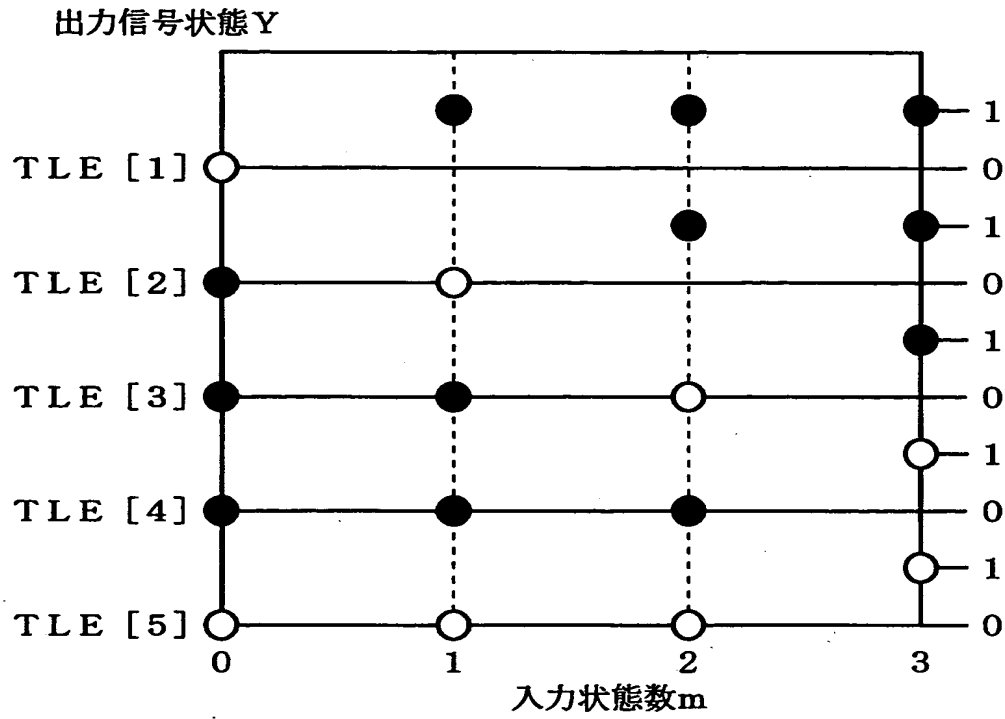


【図 4】



【図 5】

(1)



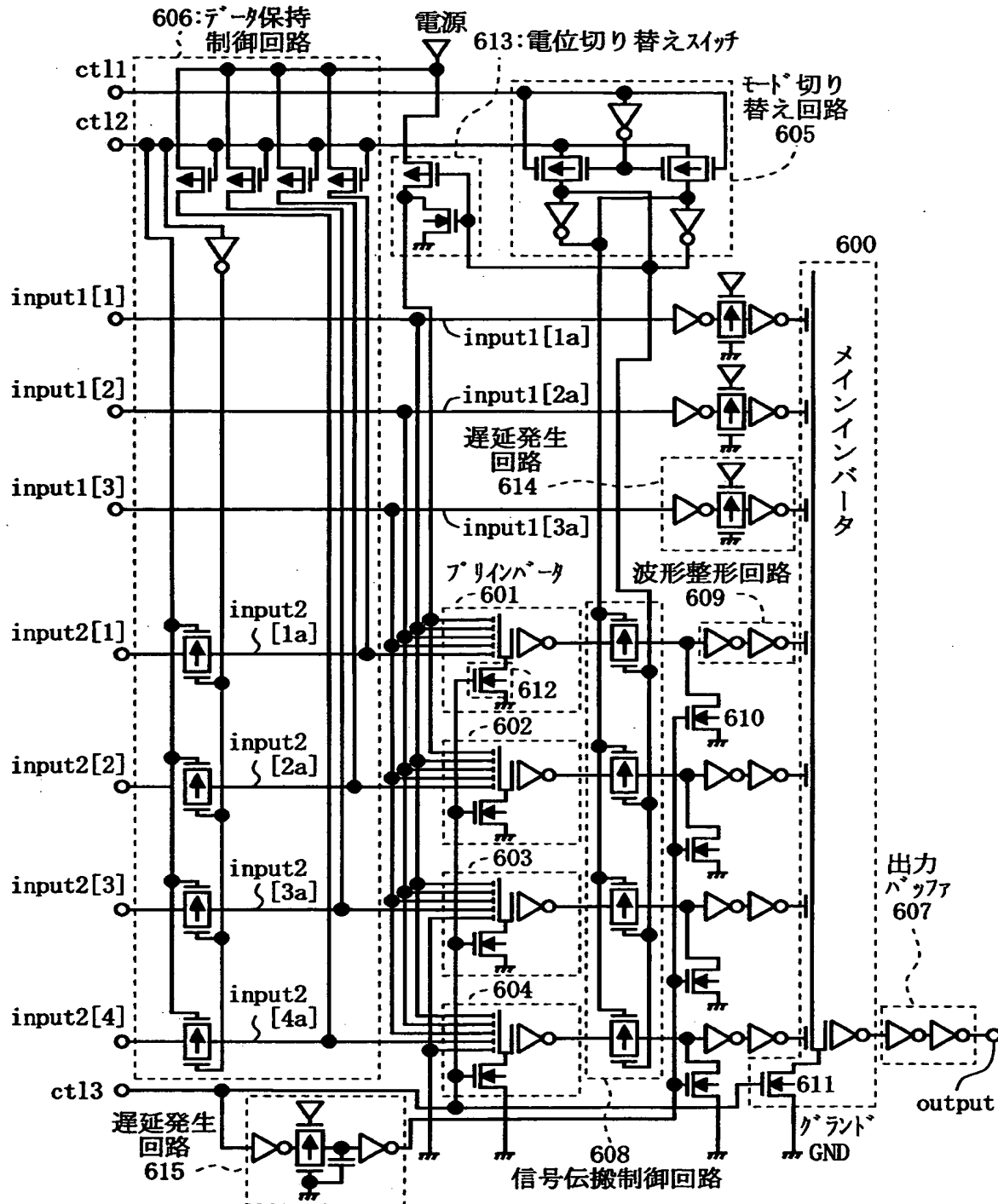
(2)

m	$X_1$	$X_2$	$X_3$	Y
0	0	0	0	0
1	0	0	1	0
	0	1	0	0
	1	0	0	0
2	0	1	1	0
	1	0	1	0
	1	1	0	0
3	1	1	1	1



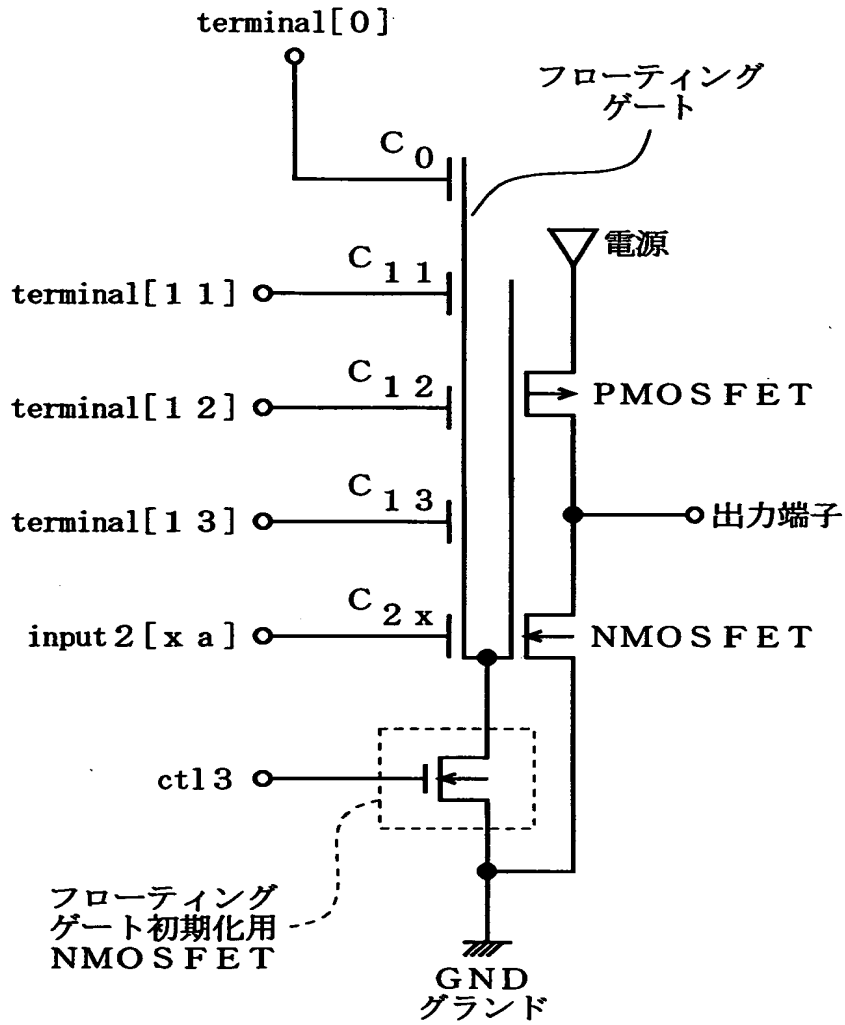
【図6】

IC3：関数機能再構成可能な集積回路



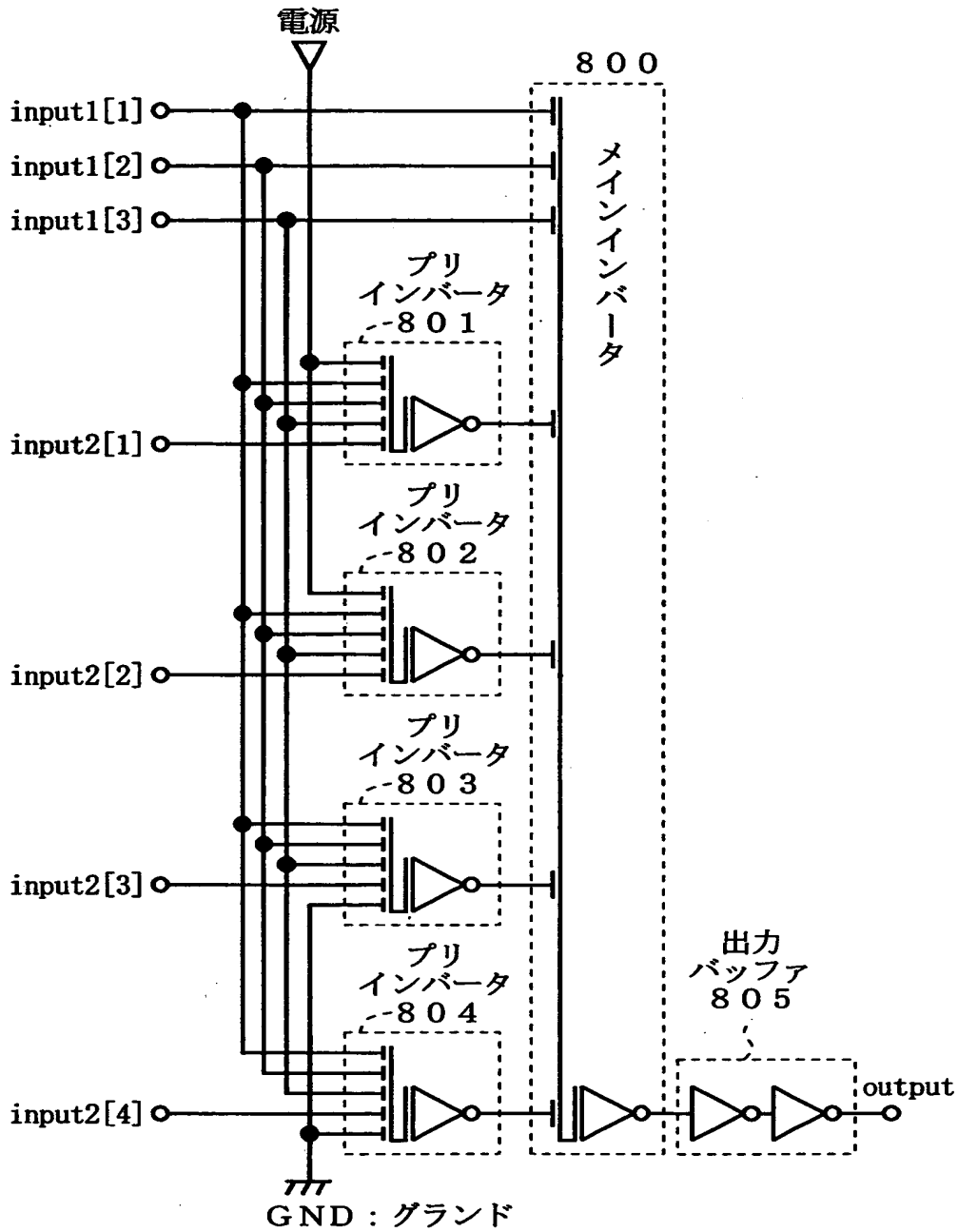
【図 7】

601 : プリインバータ



【図 8】

IC 3



【図 9】

端子名	初期化時間中の端子電位				関数処理 実行中の端子 電位
	1	2	3	4	
ctl1	Vdd	→	→	→	Vdd
ctl2	Vdd	→	→	0	0
ctl3	Vdd	→	0	---	0
input1	0	---	---	---	Vsig
input2	0	V' conf	→	→	—

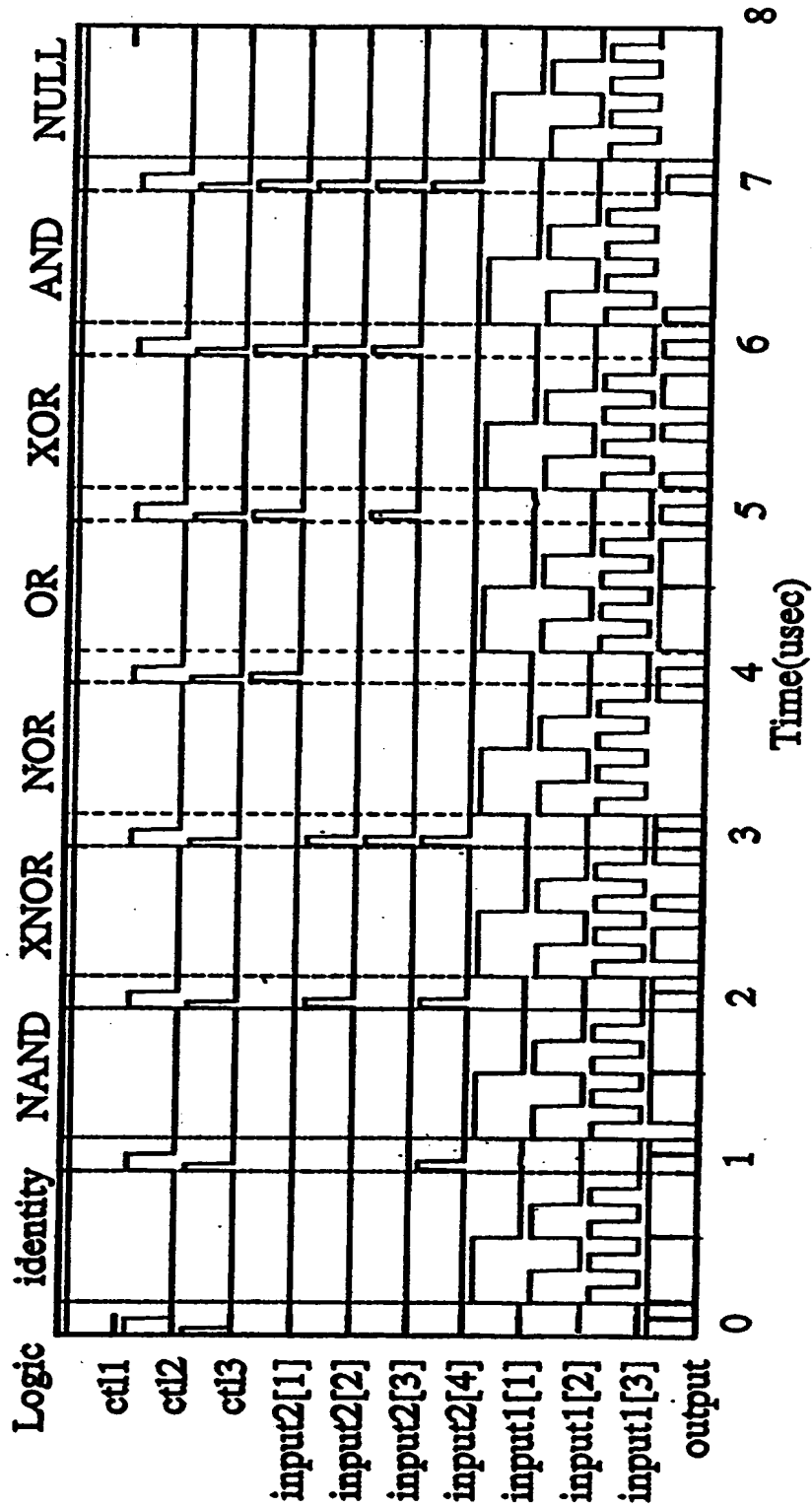
V' conf : 関数機能構成データの論理的反転の電位

Vsig : 関数処理実行中の入力信号電位

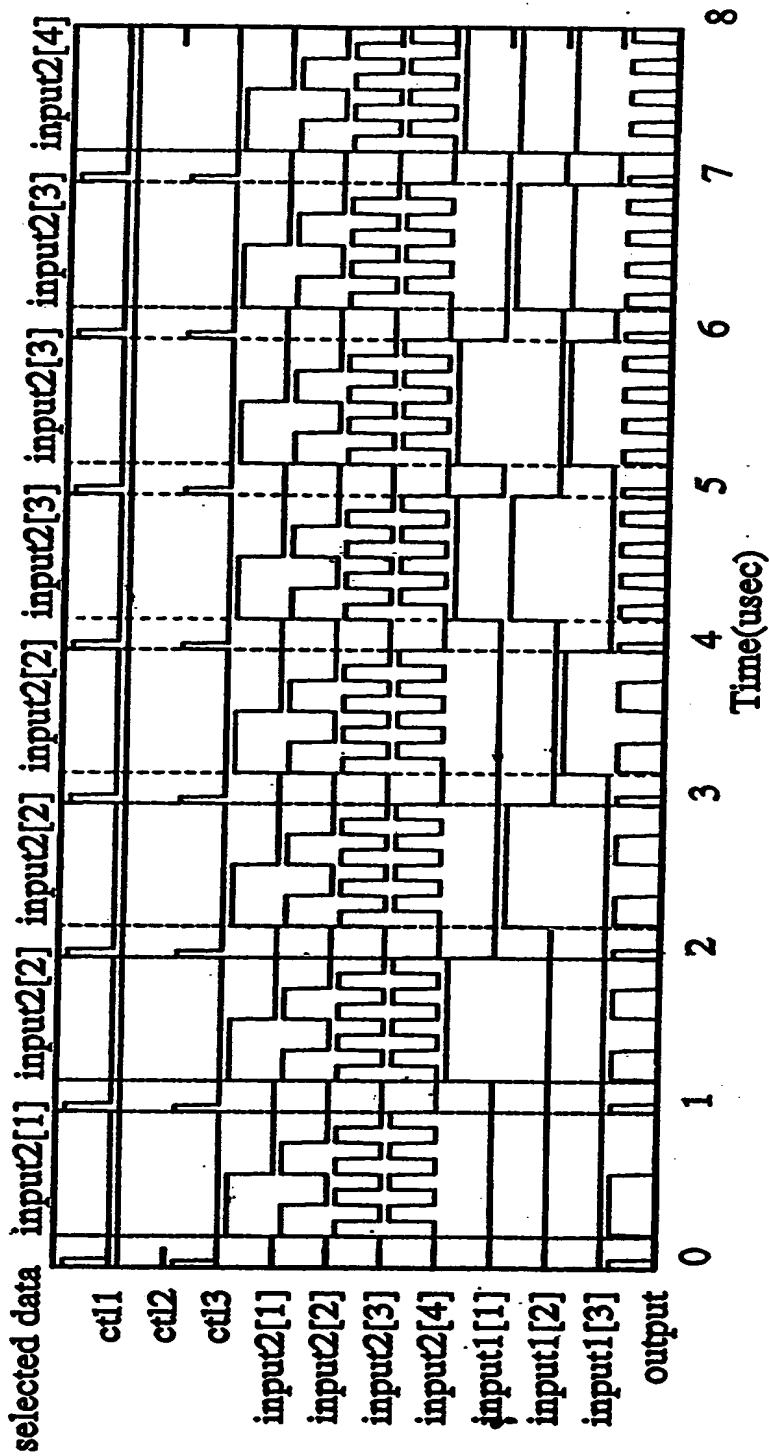
【図 1 0】

端子名	初期化時間中の端子電位			セレクト機能 実行中の端子 電位
	1	2	3	
ctl1	Vdd	→	0	0
ctl2	Vdd	→	→	Vdd
ctl3	Vdd	0	---	0
input1	0	---	---	制御入力 信号電位
input2	0	---	---	データ入力 信号電位

【図11】

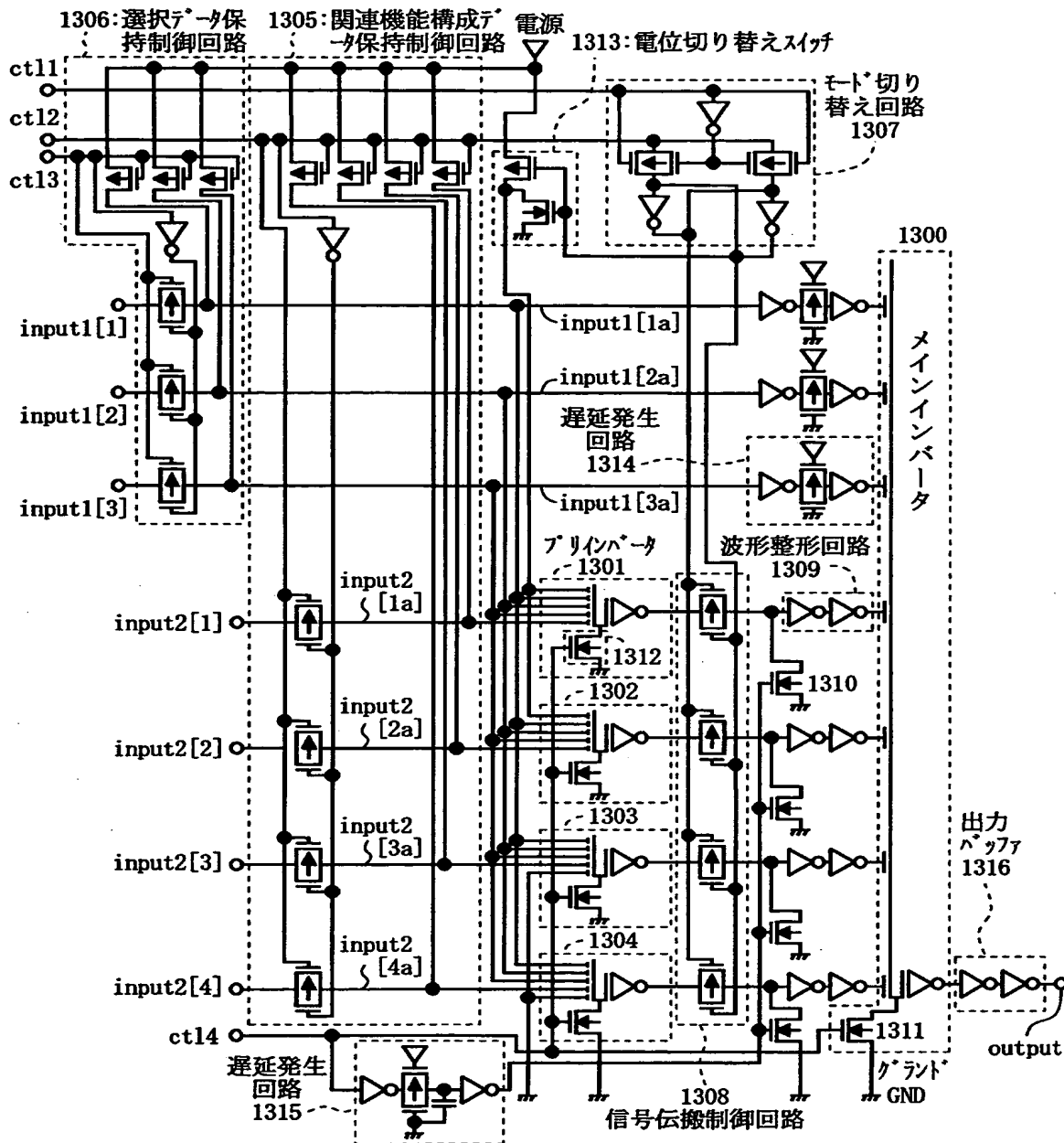


【図12】



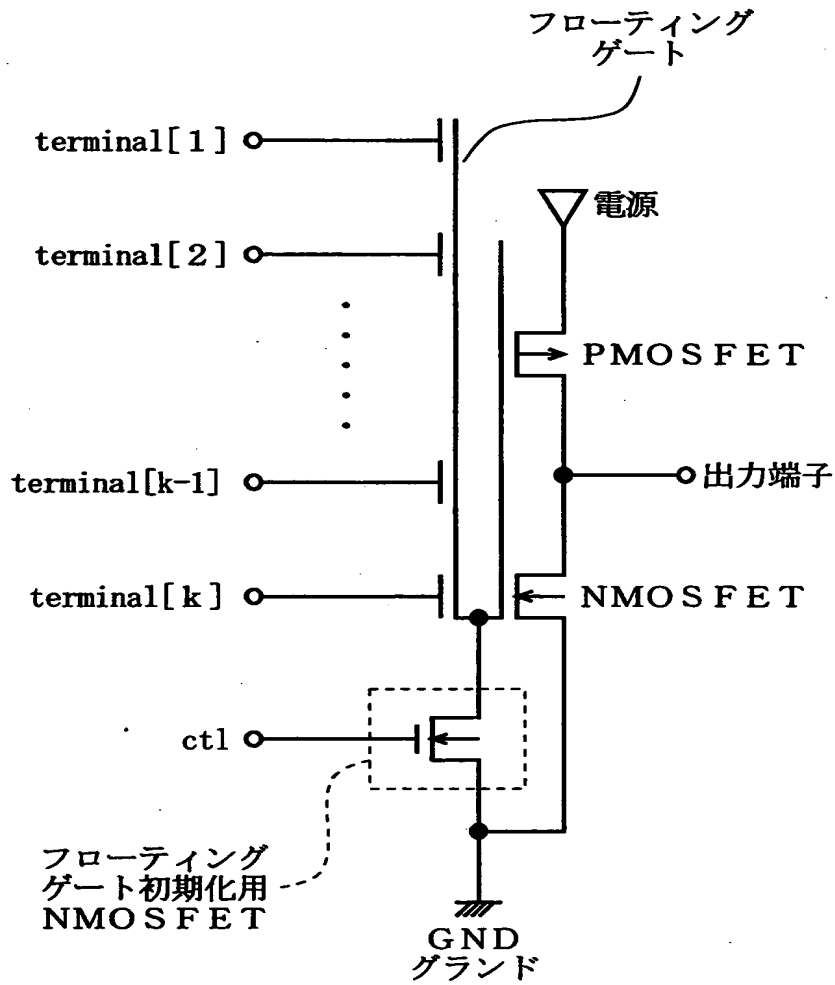
【図 13】

IC4：関数機能再構成可能な集積回路



【図14】

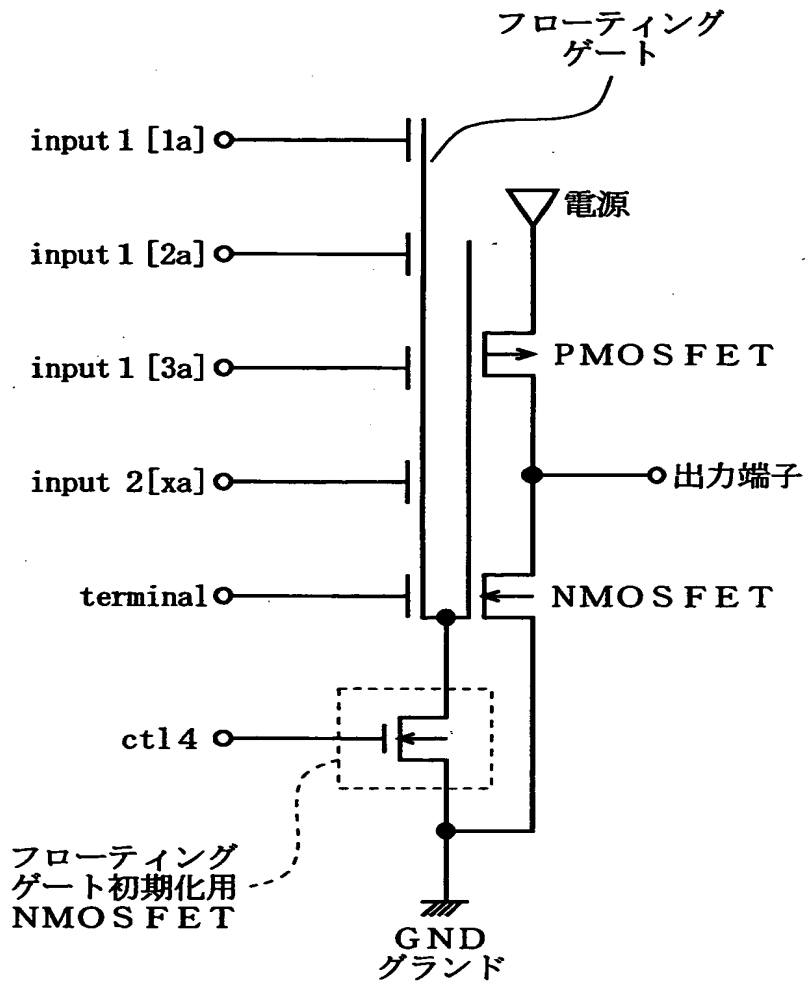
MI : スイッチ付きニューロンMOSインバータ





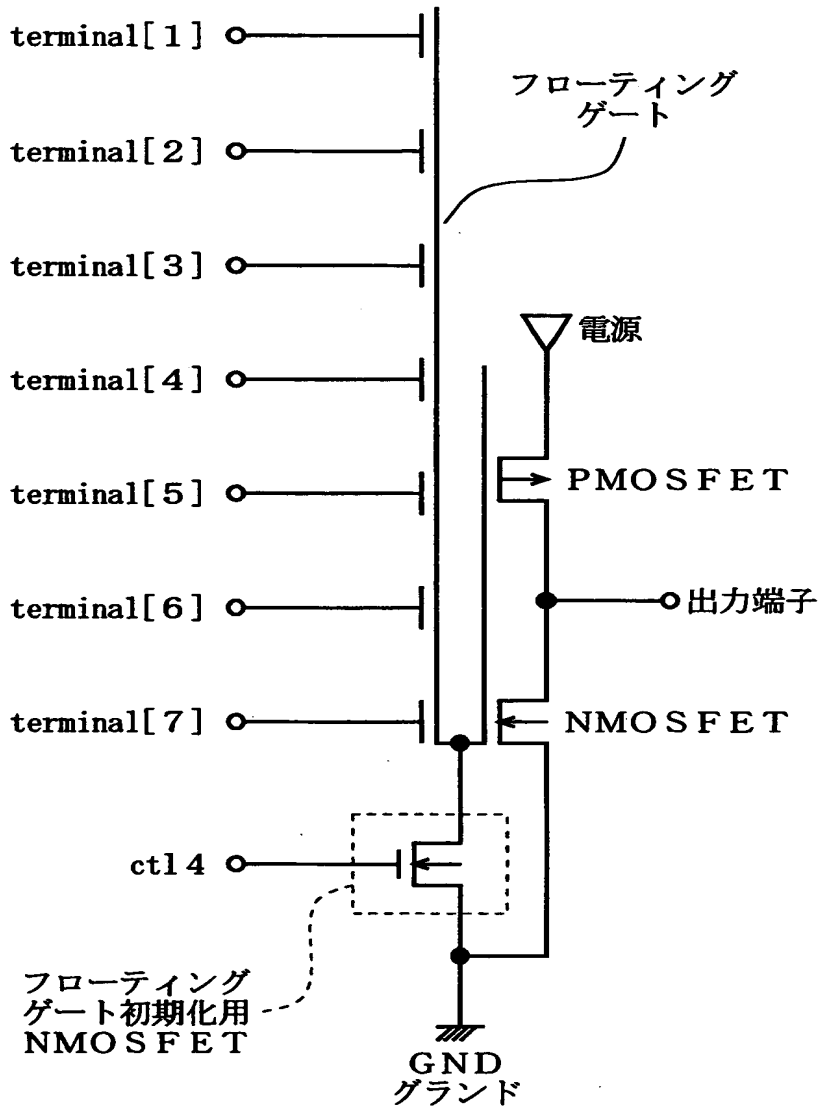
【図15】

1301 : プリインバータ



【図 1 6】

1 3 0 0 : メインインバータ



【図 1 7】

端子名	初期化時間中の端子電位			関数処理 実行中の端子 電位
	1	2	3	
ctl1	Vdd	→	0	0
ctl2	Vdd	→	→	Vdd
ctl3	Vdd	→	→	Vdd
ctl4	Vdd	0	----	0
input1	0	----	----	Vsig
input2	0	----	----	Vconf

Vconf : 関数機能構成データの電位

Vsig : 関数処理実行中の入力信号電位

【図 1 8】

端子名	初期化時間中の端子電位			関数処理 実行中の端子 電位
	1	2	3	
ctl1	Vdd	→	→	Vdd
ctl2	Vdd	Vdd	0	0
ctl3	Vdd	→	→	Vdd
ctl4	Vdd	0	----	0
input1	0	----	----	Vsig
input2	V' conf	V' conf	V' conf	—

V' conf : 関数機能構成データの論理的反転の電位

Vsig : 関数処理実行中の入力信号電位

【図 1 9】

端子名	初期化時間中の端子電位			セレクト機能 実行中の端子 電位
	1	2	3	
ctl1	Vdd	→	0	0
ctl2	Vdd	→	→	Vdd
ctl3	Vdd	→	→	Vdd
ctl4	Vdd	0	----	0
input1	0	----	----	Vsel
input2	0	----	----	Vdata

Vsel : 選択されるデータのアドレス信号の電位

Vdata : 選択されるデータの入力信号電位

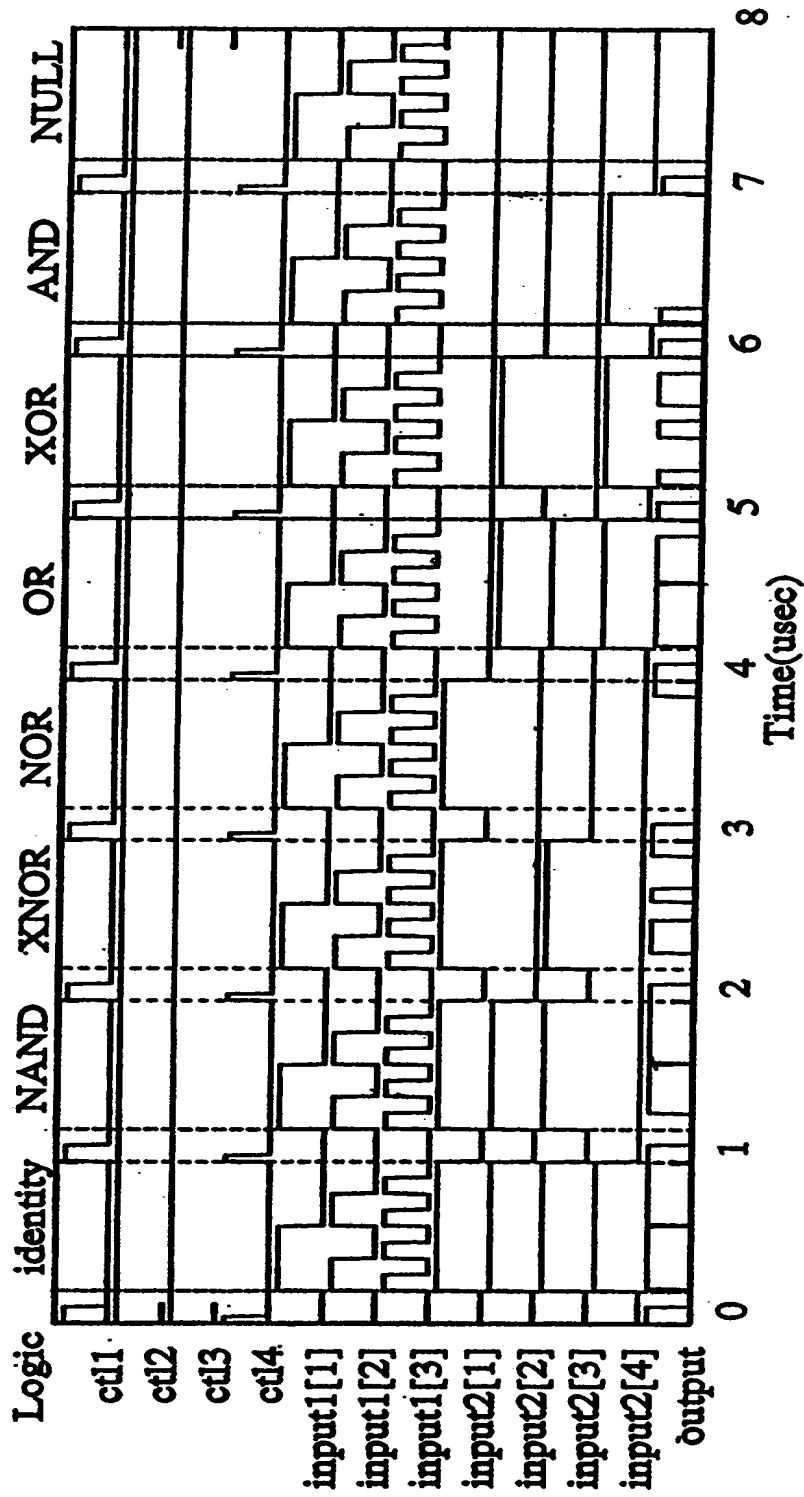
【図 2 0】

端子名	初期化時間中の端子電位					セレクト機能 実行中の端子 電位
	1	2	3	4	5	
ctl1	Vdd	→	→	→	0	0
ctl2	Vdd	→	→	→	→	Vdd
ctl3	Vdd	→	0	----	----	0
ctl4	Vdd	0	----	----	----	0
input1	V' sel	V' sel	V' sel	0	----	—
input2	0	----	----	----	----	Vdata

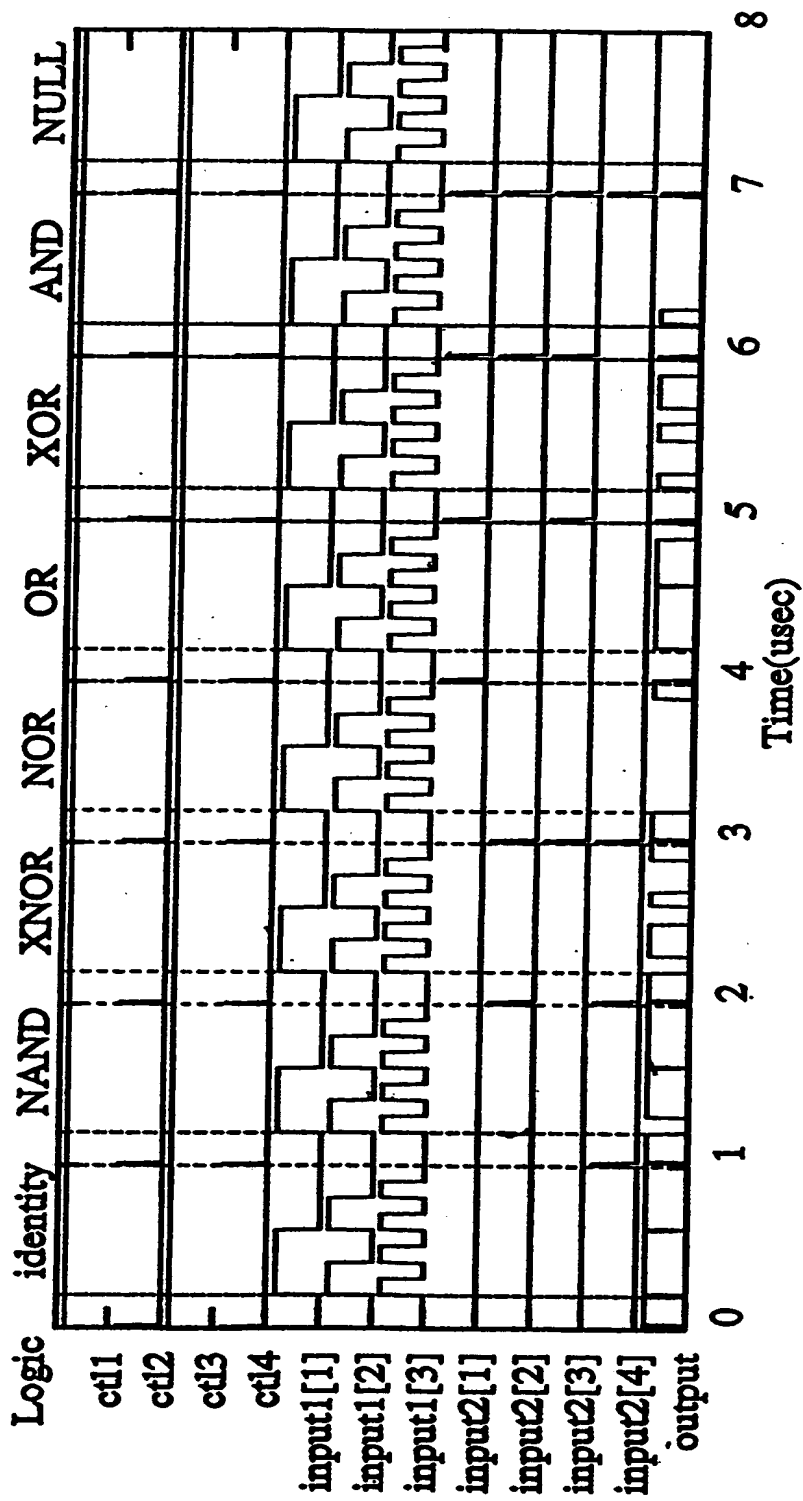
V' sel : 選択されるデータのアドレス信号に対する  
論理的反転の電位

Vdata : 選択されるデータの入力信号電位

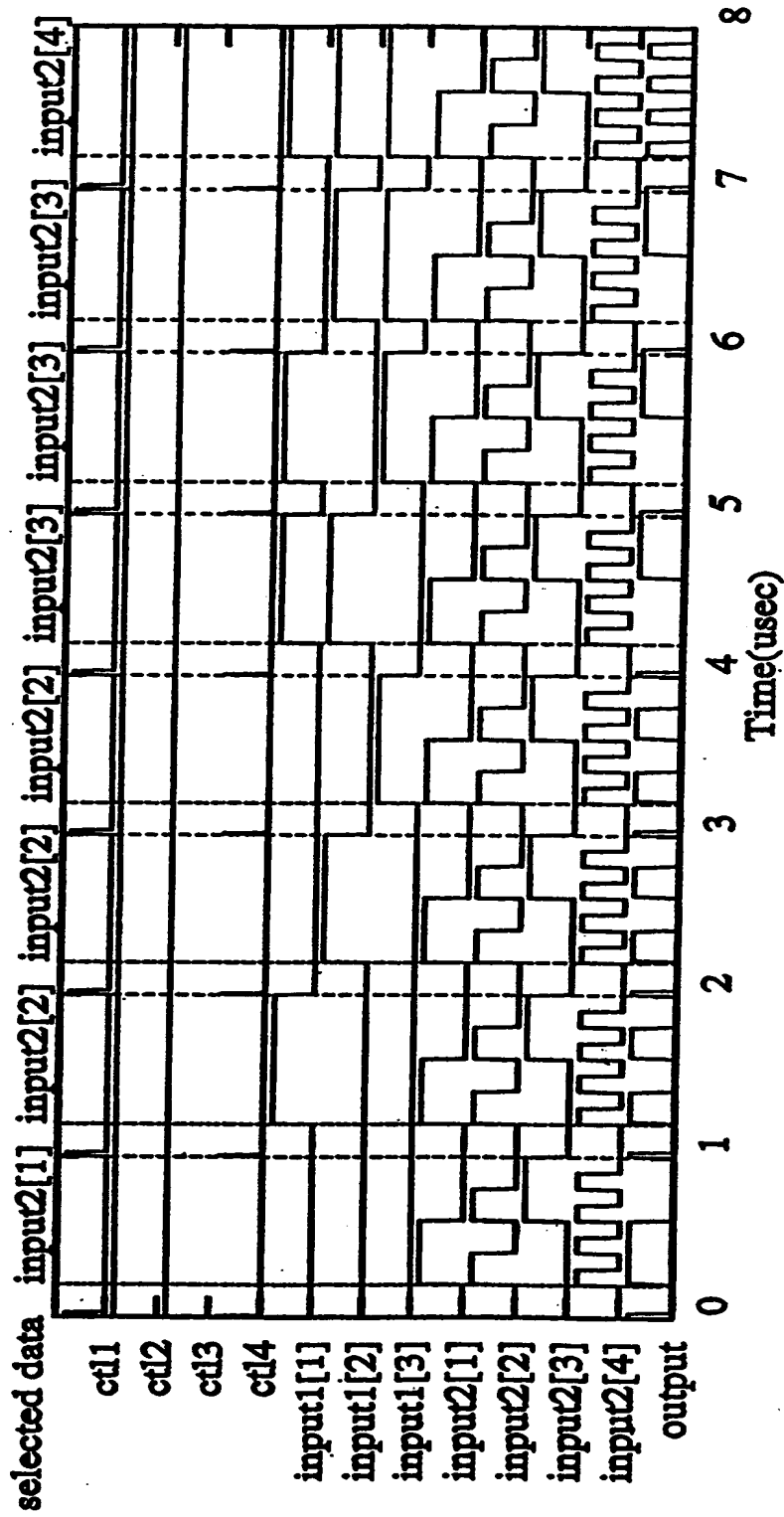
【図 21】



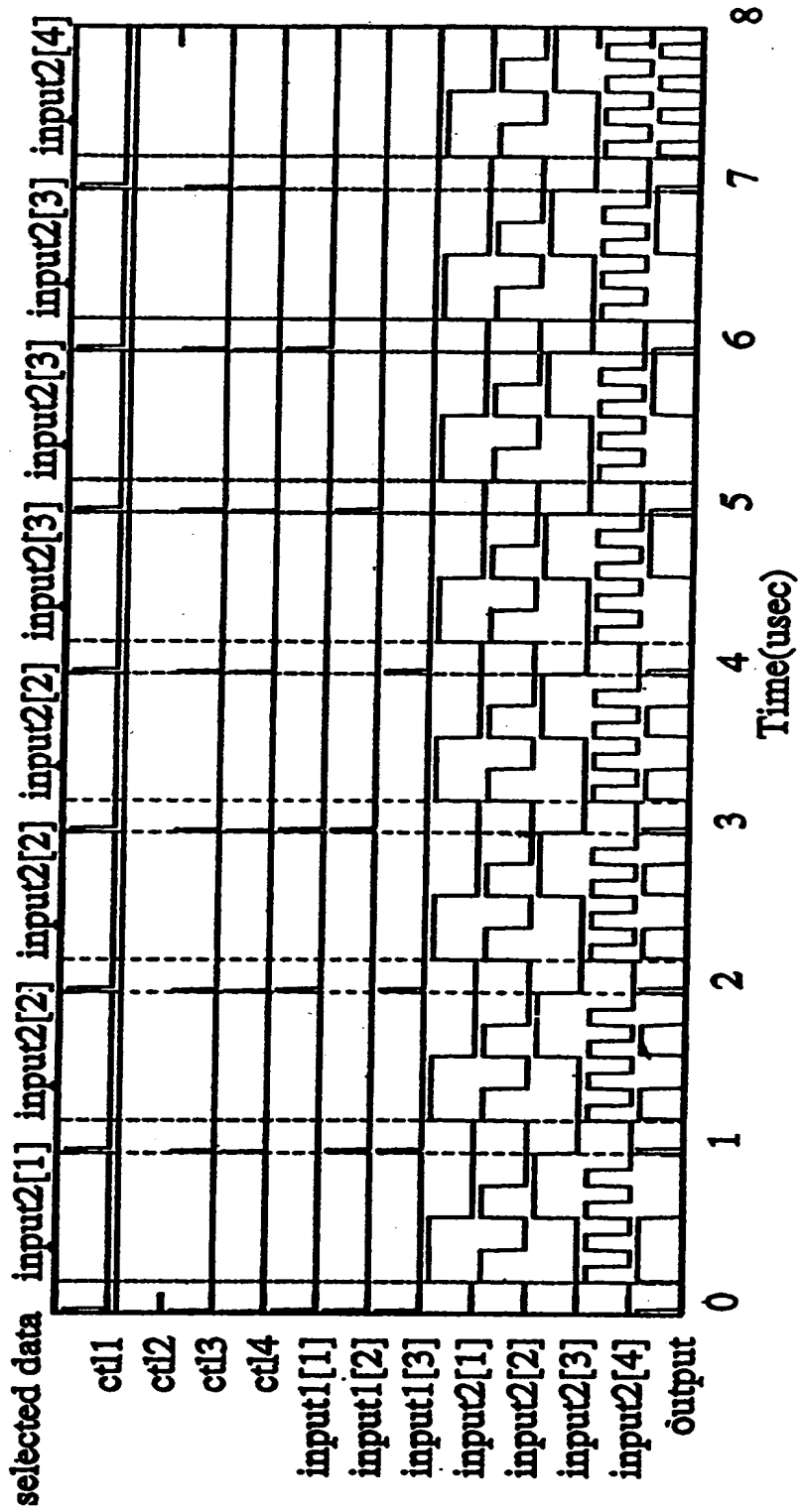
【図 22】



【図 23】



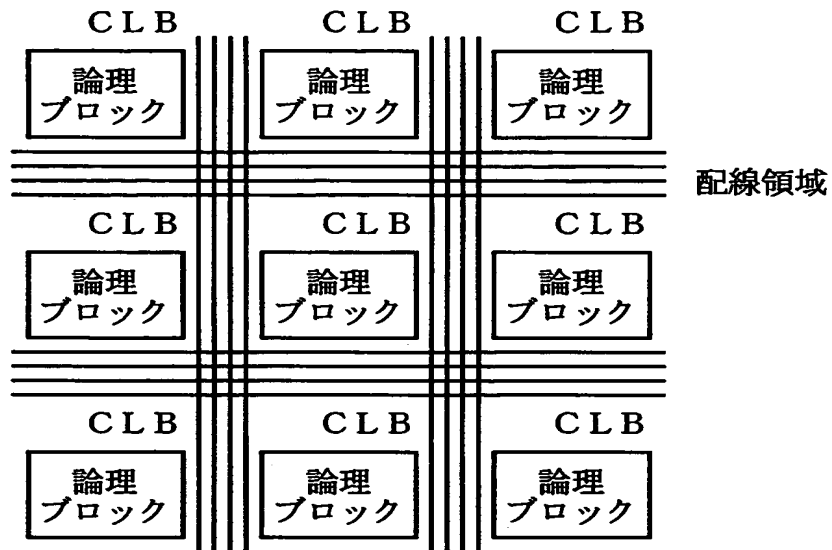
【図24】





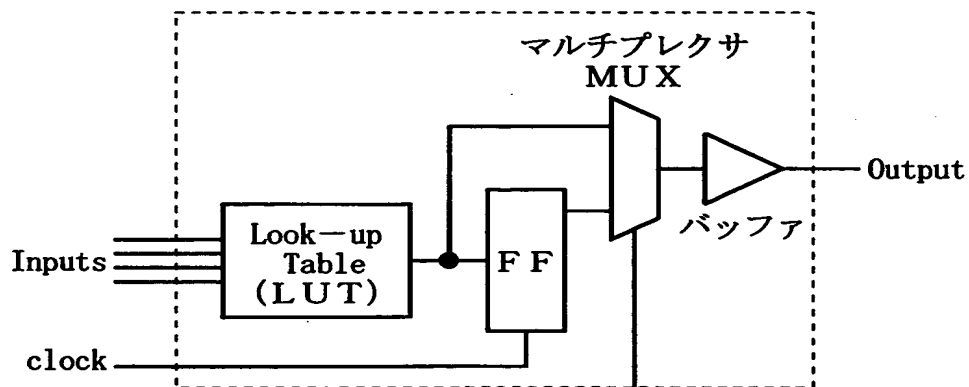
【図 2 5】

(1)



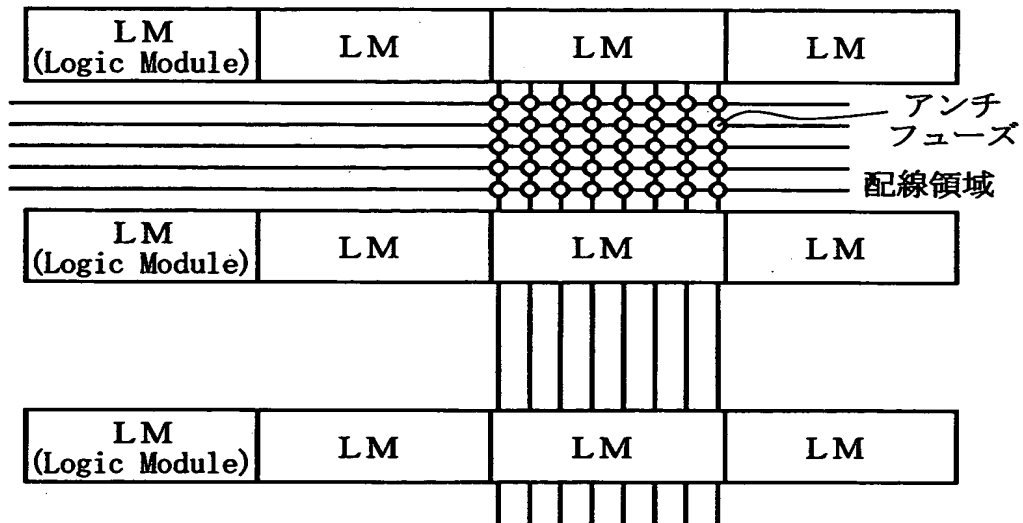
(2)

CLB

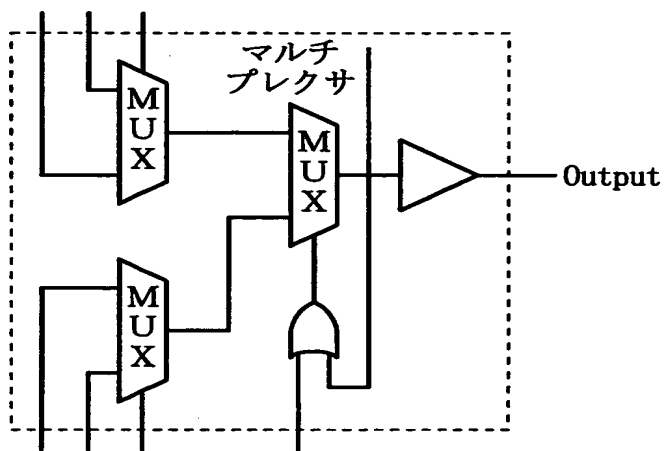


【図26】

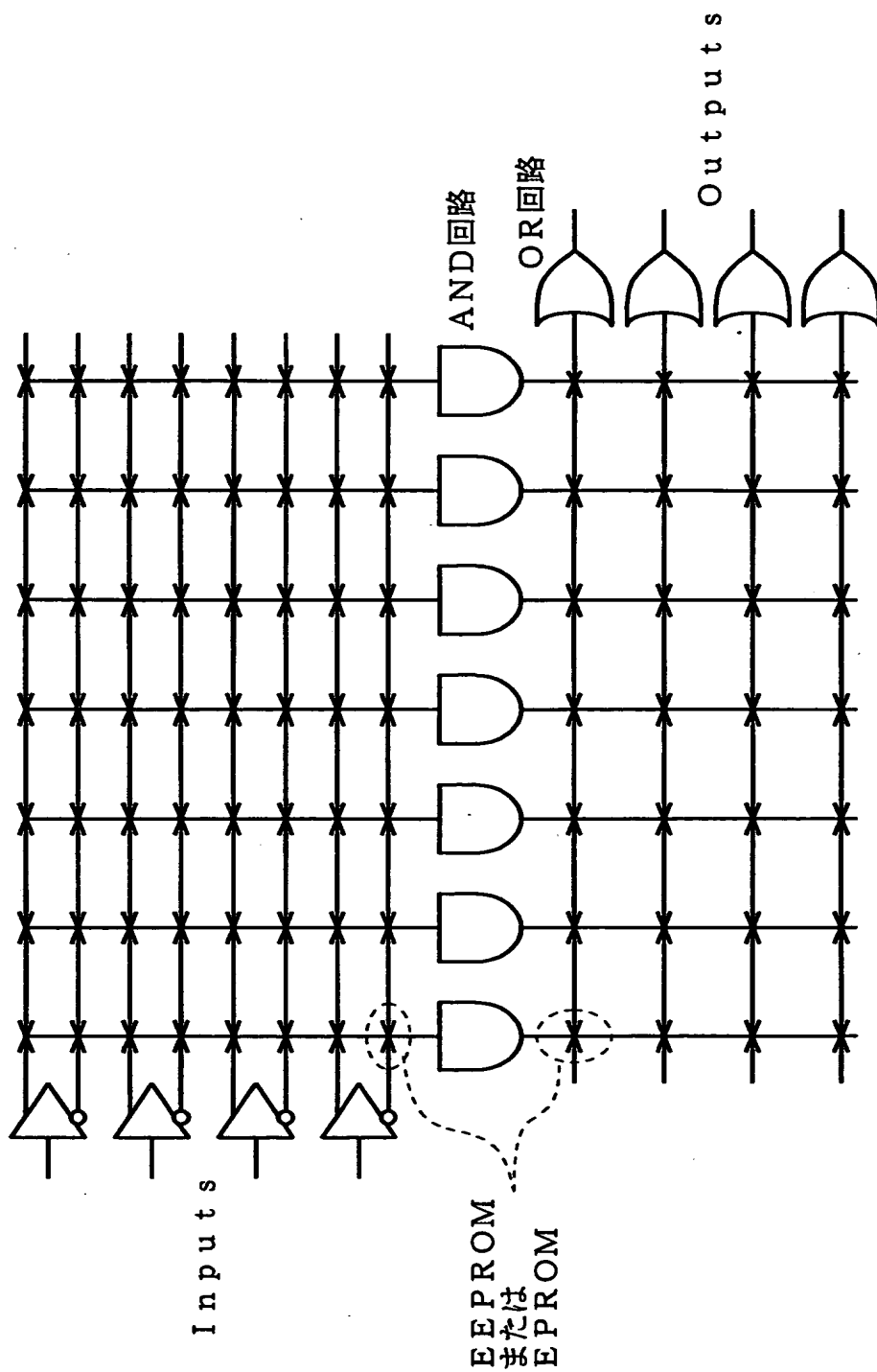
(1)



(2) LM



【図 27】





【書類名】            要約書

【要約】

【課題】    セレクタ機能とメモリ機能とを併せ持ち、従来のデバイスにない統合された機能を実現でき、かつ高速に論理を再構成可能な可変論理部を提供することを目的とするものである。

【解決手段】     $k$  個の第 1 の信号端子の状態が、論理的に「1」または「0」のいずれか一方である端子の数を、入力状態数と呼び、第 1 の入力信号端子の入力状態数と、 $k + 1$  個の第 2 の信号端子における  $n$  ( $1 \leq n \leq k + 1$ ) 番目の入力信号端子の状態とを 1 対 1 に対応させ、集積回路の出力状態を、上記対応付けられた第 2 の入力信号端子の状態と一致または論理的反転に対応させることによって、 $k$  個の第 1 の入力信号端子の  $k + 1$  個の入力状態数のうちの 1 つが選択されたときに、 $k + 1$  個の第 2 の入力信号の論理的状态である「1」または「0」のいずれか一方または、その反転が集積回路の出力にする集積回路である。

【選択図】    図 1

出 願 人 履 歴 情 報

識別番号 [000004226]

1. 変更年月日	1999年 7月15日
[変更理由]	住所変更
住 所	東京都千代田区大手町二丁目3番1号
氏 名	日本電信電話株式会社